

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-127920

(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
H04N 5/66  
H04N 7/01

(21)Application number : 08-127440

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 22.05.1996

(72)Inventor : INAGAKI NAOKI  
KAMIO TOMOMI  
SUZUKI YORIHISA  
KASHIYAMA SHUNJI

(30)Priority

Priority number : 07198681  
07222355

Priority date : 03.08.1995  
30.08.1995

Priority country : JP

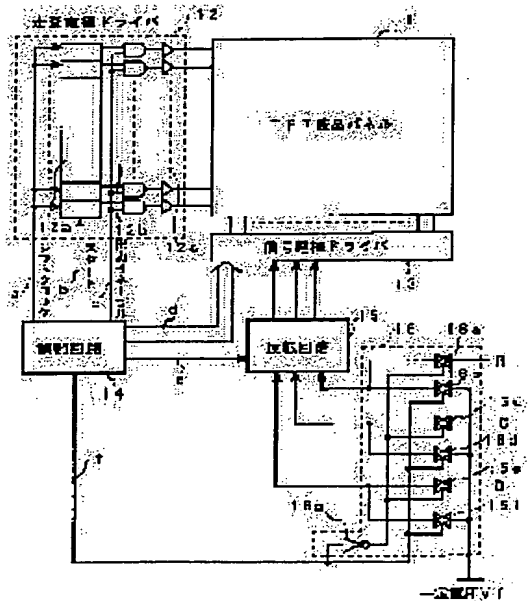
JP

(54) DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the occurrence of color irregularities by scanning odd scanning electrodes then even scanning electrodes among multiple scanning electrodes at the same time respectively during the vertical retrace line of the image signal, and applying the signal generated by a generating means to all signal electrodes of a display panel.

**SOLUTION:** A control circuit 14 feeds a shift clock (a) to shift registers 12a of a scanning electrode driver 12 in one horizontal scan period (1H) during the vertical retrace line period of the image color signal fed to an image color signal switching circuit 16. The start signal (b) to every other shift registers 12a is set to the H-level. When the output enabling signal (c) to a group of AND circuits 12b is set to the H-level for the period of 2H after the period of 1H terminates, odd scanning electrodes are concurrently set to the selective scanning state. When the held contents of the shift registers 12a are shifted by one digit at the start of the succeeding 1H, even scanning electrodes are set to the selective scanning state.



## LEGAL STATUS

[Date of request for examination]

19.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-127920

(43) 公開日 平成9年(1997) 5月16日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
H 0 4 N 5/66			H 0 4 N 5/66	B
7/01			7/01	J

審査請求 未請求 請求項の数 7 O L (全 24 頁)

(21) 出願番号 特願平8-127440

(22) 出願日 平成8年(1996) 5月22日

(31) 優先権主張番号 特願平7-198681

(32) 優先日 平7(1995) 8月3日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-222355

(32) 優先日 平7(1995) 8月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 稲垣 直樹

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

(72) 発明者 神尾 知巳

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

(72) 発明者 鈴木 順久

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

(74) 代理人 弁理士 荒船 博司 (外1名)

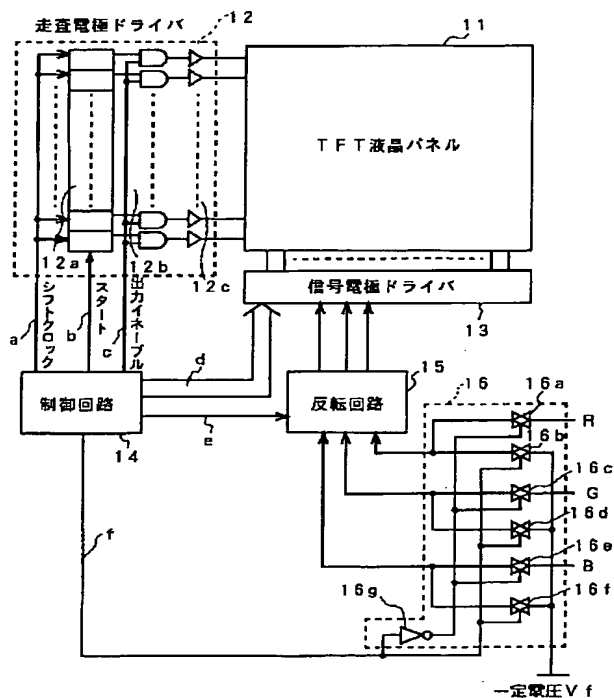
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】ドットマトリクス表示パネルでアスペクト比の異なる横長映像を全表示させる際に、映像の上下に表示させる同一色部分の走査を時間的な余裕を持って行うことで当該部分の色むら等の発生を防止する。

【解決手段】TFT液晶パネル11と、この液晶パネル11の走査電極ドライバ12及び信号電極ドライバ13と、色信号RGBに代えて映像の非表示部分の同一色表示用の一定電圧Vfを選択する切換回路16と、映像の垂直帰線期間内に、1走査期間で上記非表示部分に対応する液晶パネル11の上下端部分の複数の走査電極のうち、奇数番目の走査電極を同時に走査電極ドライバ12で走査させて上記一定電圧Vfを信号電極ドライバ13に供給させ、上記1走査期間に続く次の1走査期間で同偶数番目の走査電極を同時に走査させて上記一定電圧Vfを信号電極ドライバ13に供給させる制御回路14とを備える。



## 【特許請求の範囲】

【請求項1】複数の走査電極と複数の信号電極とがマトリックス状に配列されて成るドットマトリクスタイプの表示パネルに、当該表示パネルの表示画面よりアスペクト比の小さい映像信号を表示すると共に、当該映像信号の表示部分を挟んで上下に配されたマスク表示部分を表示する表示装置において、

上記マスク表示部分を同一色で表示するための信号を発生する発生手段と、

上記映像信号の垂直帰線期間内に、1走査期間で上記マスク表示部分に対応する上記表示パネルの上端部分及び下端部分の少なくとも一方の複数の走査電極のうち、奇数番目の走査電極を同時に走査して上記発生手段で発生させた信号を上記表示パネルの全信号電極に印加させ、上記1走査期間に続く次の1走査期間で同偶数番目の走査電極を同時に走査して上記発生手段で発生させた信号を上記表示パネルの全信号電極に印加させる制御手段と、を具備したことを特徴とする表示装置。

【請求項2】上記表示パネルは液晶表示パネルであり、上記制御手段による上記奇数番目の走査電極走査時と上記偶数番目の走査電極走査時及び1フィールド毎でそれぞれ走査電極及び信号電極に印加される電圧の極性を反転する反転手段をさらに具備したことを特徴とする請求項1記載の表示装置。

【請求項3】複数の走査電極と複数の信号電極とがマトリックス状に配列されて成るドットマトリクスタイプの表示パネルに、当該表示パネルの表示画面よりアスペクト比の小さい映像信号を表示すると共に、当該映像信号の表示部分を挟んで上下に配されたマスク表示部分を表示する表示装置において、

上記マスク表示部分を同一色で表示するための信号を発生する発生手段と、

上記映像信号の非表示期間内に、上記マスク表示部分の上下それぞれに対応する上記表示パネルの各1本の走査電極計2本毎に、順次走査して上記発生手段で発生させた信号を上記表示パネルの全信号電極に印加させる制御手段とを具備したことを特徴とする表示装置。

【請求項4】複数の走査電極と複数の信号電極とがマトリックス状に配列されて成るドットマトリクスタイプの表示パネルに、当該表示パネルの表示画面よりアスペクト比の小さい映像信号を表示すると共に、当該映像信号の表示部分を挟んで上下に配されたマスク表示部分を表示する表示装置において、

上記マスク表示部分を同一色で表示するための信号を発生する発生手段と、

上記映像信号の非表示期間内に、上記マスク表示部分の上下それぞれに対応する上記表示パネルの各n本（n：2以上の整数）の走査電極計2n本毎に、順次走査して上記発生手段で発生させた信号を上記表示パネルの全信号電極に印加させる制御手段と、を具備したことを特徴

とする表示装置。

【請求項5】複数の走査電極と複数の信号電極とがマトリックス状に配列されて成るドットマトリクスタイプの表示パネルに、当該表示パネルの表示画面よりアスペクト比の大きい映像信号を表示させる共に、当該映像信号の表示部分を挟んで左右に配されたマスク表示部分を表示する表示装置において、

上記マスク表示部分を同一色で表示するために、上記表示パネルのマスク表示部分の信号電極に映像信号のベデスタルレベルに応じた信号を印加させる制御手段を具備したことを特徴とする表示装置。

【請求項6】上記制御手段は、

サンプリング信号を出力する双方向シフトレジスタ部と、上記双方向シフトレジスタ部から出力されるサンプリング信号に応じて映像信号をサンプリングして、得られるサンプリング電圧に応じた電圧を、上記信号電極に供給するサンプルホールド部とを含み、

上記双方向シフトレジスタ部は、上記マスク表示部分の表示を担う一方のシフトレジスタと、上記映像信号の表示を担う他方のシフトレジスタとからなり、

上記表示パネルのマスク表示部分の信号電極に対応する、上記一方のシフトレジスタに含まれるラッチ回路に、予め対応するデータを書込むデータ書込み手段と、上記マスク表示部分の信号電極の隣の信号電極から映像信号のサンプリングを開始させるべく、上記他方のシフトレジスタにサンプリング開始信号を出力するサンプリング開始制御手段と、

を備えたことを特徴とする請求項5記載の表示装置。

【請求項7】上記データ書込手段は、

映像信号の垂直帰線期間毎に、上記マスク表示部分の信号電極に対応する、上記一方のシフトレジスタに含まれるラッチ回路に、対応するデータを書込むことを特徴とする請求項6記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば液晶表示パネルのようにドットマトリクスタイプの表示パネルでこの表示パネルとはアスペクト比の異なる映像信号を表示させる表示装置に関する。

【0002】

【従来の技術】近時、ハイビジョン放送や第2世代EDTV放送等でアスペクト比9：16の横長の映像（以下「ワイド映像」と称する）が広く使用されるようになっており、従来より使用されていたアスペクト比3：4の通常の映像（以下「標準映像」と称する）に代わって将来はテレビ放送等の主流となっていくであろうと思われる。

【0003】図20はEDTV放送で使用されるNTSCワイド映像信号の信号波形を例示するものである。

【0004】図20（1）で示す如くNTSCワイド映

像信号は1フィールド当りの走査線数及びそのうちの有効走査線数共にNTSC標準信号と共通し、NTSC標準信号の受信を行なう通常のテレビ受像機等でも表示できるように互換性を計っている。

【0005】図20(2)は上記NTSCワイド映像信号の1水平走査期間(1H)当りの信号波形を示すもので、図中にも記している如くNTSC標準信号と同じ時間幅に4/3倍の表示データが盛り込まれている。

【0006】図21は上述したNTSCワイド映像信号の概念を示すものであり、図21(1)に示すようなアスペクト比3:4の標準画面分に時間的に圧縮された信号を、走査線方向に4/3倍して図21(2)に示す如く元のアスペクト比9:16のワイド映像として表示させるものである。

【0007】しかるに、アスペクト比3:4の標準型の液晶表示パネルの画面で、上記アスペクト比9:16のワイド映像を縦横のバランスを崩すことなく、かつ部分的に欠けることなくすべて表示させたい場合、図22に示すように画面の上端と下端の少なくとも一方の合わせて画面の1/4の部分(図中にハッチングで示す部分)を黒のような同一色でマスク表示させる必要がある。

【0008】図22では、画面の上端と下端の双方、画面の各1/8の部分のマスク表示としてワイド映像を表示させた状態を示す。例えばこの標準型の液晶表示パネルの走査線数が234本である場合、マスク表示を行なう画面の上端及び下端の部分の走査線数は各30本、合わせて60本となる。

【0009】しかるに、これらマスク表示を行なう部分はワイド映像の非有効表示期間であり、NTSC方式では1フィールドの走査線数が262.5、そのうち有効表示走査線が241.5であるから、その差である垂直帰線期間を中心とした21Hという短い時間で上記60本分のマスク表示部分をすべて走査しなければならないことになる。

【0010】そこで、例えば上記映像信号の有効表示走査線数241.5本のうちの232本分のみを実画面表示として用い、マスク表示のための時間を30.5Hとしても、上記60本分のマスク表示部分の走査のために必要な時間は約半分程度しかなく、当該マスク表示部分の走査を映像表示部分の走査と同様に行なっていたのでは、表示ができないことになる。

【0011】因みに、実画面表示の走査線数を232本とした場合の有効表示確保率は約96%(=232/241.5)となり、一応充分な有効表示率である95%は確保できている。

【0012】また、充分なマスク表示のための時間60Hを確保するべく、実画面表示として有効表示走査線数のうち202本以下の走査線分の映像信号のみで表示を行なうことも考えられるが、このときの有効表示率は約84%(=202/241.5)となり、表示される範

囲が非常に狭いものとなってしまう。

【0013】そこで、上記のように実画面表示の走査線数を232本としながら、マスク表示部分では表示駆動を行なう駆動回路の基本クロックの周波数を可変し、表示のために画素をチャージする時間を映像表示部分の同時間の1/2以下となるように表示装置を構成すれば、上記図22に示したような表示も実現できることとなる。

【0014】しかしながら、上記のように従来一般の液晶表示装置では、黒表示を行なう部分を走査するための期間が逼迫しており、同期間内で画素をチャージする時間が映像表示の部分の同時間の1/2以下となるように構成されるため、画素をチャージする時間が不十分であり、表示の際に濃淡のむらを生じてしまうことがあり得る。

【0015】ところで、その一方で、近時、ハイビジョン放送や第2世代EDTV放送等に対応したアスペクト比が9:16の横長(ワイド型)テレビが普及している。

【0016】このアスペクト比9:16の横長テレビに、アスペクト比3:4の標準映像をアスペクト比3:4の映像として表示する場合には、図23に示す如く、画面の両端(右端及び左端)の1/4の部分(図中でハッチングで示す部分)を黒のような同一色で表示する必要がある。

【0017】また、図24に示すように、アスペクト比3:4の通常の映像信号を表示する場合は、映像信号Vsigの1水平走査期間(1H)63.6 $\mu$ s中の約51 $\mu$ s間だけ映像を表示している。そして、図23に示す如く、アスペクト比9:16の横長画面の中央にアスペクト比4:3の映像を、左右に黒帯(無画像)を表示させる場合に、黒帯の部分を映像区間と同一クロックでサンプリングすると、その期間は51 $\mu$ s $\times$ 4/3=68 $\mu$ sとなり、1水平走査期間(1H)よりも長くなり、映像の表示が不可能となるという問題がある。

【0018】

【発明が解決しようとする課題】本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、ドットマトリクスタイプの表示パネルでこの表示パネルよりアスペクト比の高い横長の映像を表示させる際、映像の上下に表示させる黒等の同一色部分の表示走査を時間的な余裕を持って行ない、色むら等の発生を防止することが可能な表示装置を提供することにある。

【0019】また、本発明の他の目的は、ドットマトリクスタイプの表示パネルでこの表示パネルよりアスペクト比の小さい通常の映像を表示させる際、適正な表示が可能な表示装置を提供することにある。

【0020】

【課題を解決するための手段】請求項1記載の発明は、複数の走査電極と複数の信号電極とがマトリクス状に

配列されて成るドットマトリクスタイプの表示パネルに、当該表示パネルの表示画面よりアスペクト比の小さい映像信号を表示すると共に、当該映像信号の表示部分を挟んで上下に配されたマスク表示部分を表示する表示装置において、上記マスク表示部分を同一色で表示するための信号を発生する発生手段と、上記映像信号の垂直帰線期間内に、1走査期間で上記マスク表示部分に対応する上記表示パネルの上端部分及び下端部分の少なくとも一方の複数の走査電極のうち、奇数番目の走査電極を同時に走査して上記発生手段で発生させた信号を上記表示パネルの全信号電極に印加させ、上記1走査期間に続く次の1走査期間で同偶数番目の走査電極を同時に走査して上記発生手段で発生させた信号を上記表示パネルの全信号電極に印加させる制御手段と、を具備したことにより上記課題を解決する。

【0021】従って、横長の映像の上下に表示させる黒等の同一色部分の表示走査に要する時間が2走査期間のみとなるので、同部分の表示走査を時間的に充分余裕を持って行なうことができ、画素にチャージする期間を映像表示の際と同様にできるため、色むら等の発生を防止して均一な同一色部分の表示を行なわせることができる。

【0022】また、請求項2記載の発明は、上記請求項1記載の表示装置において、上記表示パネルは液晶表示パネルであり、上記制御手段による上記奇数番目の走査電極走査時と上記偶数番目の走査電極走査時及び1フィールド毎でそれぞれ走査電極及び信号電極に印加される電圧の極性を反転する反転手段をさらに備えるようにしたものである。

【0023】従って、上記請求項1記載の表示装置の効果に加えて、同一極性の電圧の連続印加で性能が劣化してしまう液晶表示パネルにも適用可能となる。

【0024】請求項3記載の発明は、複数の走査電極と複数の信号電極とがマトリクス状に配列されて成るドットマトリクスタイプの表示パネルに、当該表示パネルの表示画面よりアスペクト比の小さい映像信号を表示すると共に、当該映像信号の表示部分を挟んで上下に配されたマスク表示部分を表示する表示装置において、上記マスク表示部分を同一色で表示するための信号を発生する発生手段と、上記映像信号の非表示期間内に、上記マスク表示部分の上下それぞれに対応する上記表示パネルの各1本の走査電極計2本毎に、順次走査して上記発生手段で発生させた信号を上記表示パネルの全信号電極に印加させる制御手段と、を備えたことにより上記課題を解決する。

【0025】従って、上記マスク表示部分の走査に要する時間を半減させ、同部分の表示走査を時間的な余裕を持って行なうことができ、画素にチャージする期間を映像表示装置と同時にできるため、色むら等の発生を防止して均一な同一色によるマスク表示を行なわせることが

できる。

【0026】また、請求項4記載の発明は、複数の走査電極と複数の信号電極とがマトリクス状に配列されて成るドットマトリクスタイプの表示パネルに、当該表示パネルの表示画面よりアスペクト比の小さい映像信号を表示すると共に、当該映像信号の表示部分を挟んで上下に配されたマスク表示部分を表示する表示装置において、上記マスク表示部分を同一色で表示するための信号を発生する発生手段と、上記映像信号の非表示期間内に、上記マスク表示部分の上下それぞれに対応する上記表示パネルの各 $n$ 本( $n:2$ 以上の整数)の走査電極計 $2n$ 本毎に、順次走査して上記発生手段で発生させた信号を上記表示パネルの全信号電極に印加させる制御手段と、を具備したことにより上記課題を解決する。

【0027】従って、上記マスク表示部分の走査に要する時間を $1/2n$ と大幅に減少させたので、例えばビデオテープレコーダにおける早送り再生等のように垂直帰線期間が極端に短くなってしまいうような場合でも、同部分の表示走査を時間的に充分余裕を持って行なうことができ、画素にチャージする期間を映像表示装置と同時にできるため、色むら等の発生を防止して均一な同一色によるマスク表示を行なわせることができる。

【0028】また、請求項5記載の発明は、複数の走査電極と複数の信号電極とがマトリクス状に配列されて成るドットマトリクスタイプの表示パネルに、当該表示パネルの表示画面よりアスペクト比の大きい映像信号を表示させる共に、当該映像信号の表示部分を挟んで左右に配されたマスク表示部分を表示する表示装置において、上記マスク表示部分を同一色で表示するために、上記表示パネルのマスク表示部分の信号電極に映像信号のベデスタルレベルに応じた信号を印加させる制御手段を具備したことにより上記課題を解決する。

【0029】従って、表示画面の左右にマスク部を表示する表示装置において、マスク部に対応する表示パネルの信号電極に映像信号のベデスタルレベルに応じた電圧を印加する構成である故、簡単な回路構成で色むら等の発生を防止して均一な同一色によるマスク表示を行なわせることができる。

【0030】また、この場合、請求項6記載の発明の如く、上記制御手段は、サンプリング信号を出力する双方向シフトレジスタ部と、上記双方向シフトレジスタ部から出力されるサンプリング信号に応じて映像信号をサンプリングして、得られるサンプリング電圧に応じた電圧を、上記信号電極に供給するサンプルホールド部とを含み、上記双方向シフトレジスタ部は、上記マスク表示部分の表示を担う一方のシフトレジスタと、上記映像信号の表示を担う他方のシフトレジスタとからなり、上記表示パネルのマスク表示部分の信号電極に対応する、上記一方のシフトレジスタに含まれるラッチ回路に、予め対応するデータを書込むデータ書込み手段と、上記マスク

表示部分の信号電極の隣の信号電極から映像信号のサンプリングを開始させるべく、上記他方のシフトレジスタにサンプリング開始信号を出力するサンプリング開始制御手段と、を備えたことが有効である。

【0031】従って、請求項5記載の表示装置において、信号側ドライバ内部の双方向シフトレジスタを利用して映像信号のベデスタルレベルをサンプリングして、マスク（黒帯）表示部に対応する信号電極にこのベデスタルレベルに応じた電圧を印加する構成である故、簡単な回路で横長表示装置の左右のマスクを表示することが可能となる。また、画素数の制約が無い為、任意の画素数の表示装置に対し任意の幅のマスクを表示することが可能であり汎用性が高いという効果を奏する。

【0032】また、請求項7記載の発明は、上記データ書込手段は、映像信号の垂直帰線期間毎に、上記マスク表示部分の信号電極に対応する、上記一方のシフトレジスタに含まれるラッチ回路に、対応するデータを書込むことが有効である。

【0033】従って、請求項5記載の表示装置において、より色むら等の発生を防止して均一な同一色によるマスク表示を行わせることができる。

【0034】

【発明の実施の形態】

（第1の実施の形態）第1の実施の形態は請求項1及び2に対応する。

【0035】以下本発明をTFT（薄膜トランジスタ）液晶パネルの表示装置に適用した場合の実施の一形態について図面を参照して説明する。

【0036】図1はその回路構成を例示するもので、11が表示対象となる3：4のアスペクト比を有するTFT液晶パネル、12がこのTFT液晶パネル11の走査電極を駆動する走査電極ドライバ、13が同じくTFT液晶パネル11の信号電極を駆動する信号電極ドライバである。

【0037】走査電極ドライバ12は、図示する如くTFT液晶パネル11の走査電極数分の桁容量を有するシフトレジスタ12aと、このシフトレジスタ12aの各桁に対応して設けられたゲート回路としてのアンド回路群12b及びこのアンド回路群12bの出力を増幅して走査電極の駆動電圧を発生するアンプ群12cを有する。

【0038】しかるに、上記シフトレジスタ12aに対して制御回路14からシフトクロックa及びスタート信号bが与えられ、同じく制御回路14からアンド回路群12bに対して出力イネーブル信号cが与えられる。

【0039】また制御回路14は、走査電極ドライバ12のみならず、上記信号電極ドライバ13に制御信号dを、反転回路15に極性反転信号eを、そして、映像色信号切換回路16に選択信号fをそれぞれ与える。

【0040】映像色信号切換回路16は、6つのゲート

回路16a～16f及びインバータ16gから構成されるもので、TFT液晶パネル11に表示されるための映像色信号RGBはそれぞれゲート回路16a、16c、16eに入力される。また、ゲート回路16b、16d、16fには同一色としての黒を表示させるための一定電圧Vfが入力する。

【0041】しかして、上記制御回路14からの選択信号fが直接ゲート開閉信号としてゲート回路16b、16d、16fへ、またインバータ16gで反転された後にゲート開閉信号としてゲート回路16a、16c、16eへ送出される。上記ゲート回路16a～16fの出力はいずれも上記反転回路15に送られ、ここでTFT液晶パネル11の特性の劣化を防止すべく極性反転信号eに従って適宜走査線毎及び1フィールド毎でTFT液晶パネル11の電圧の極性が反転されて上記信号電極ドライバ13へ与えられる。

【0042】したがって、制御回路14から映像色信号切換回路16への選択信号fが“L”レベルである時はゲート回路16a、16c、16eが開状態、ゲート回路16b、16d、16fが閉状態となり、映像色信号RGBが選択されて反転回路15へ送出されることとなり、反対に選択信号fが“H”レベルである時はゲート回路16a、16c、16eが閉状態、ゲート回路16b、16d、16fが開状態となり、黒表示のための一定電圧Vfが選択されて反転回路15へ送出される。

【0043】上記のような回路構成にあって、アスペクト比が3：4のTFT液晶パネル11にアスペクト比が9：16と小さいワイド映像を表示させる場合の動作について図2及び図3を用いて説明する。

【0044】なお、図2中に「III」で示す範囲を拡大して示したものが図3であり、図2（1）及び図3（1）は共に映像色信号RGB、図2（2）及び図3（3）は共にシフトクロックa、図2（3）及び図3（3）は共にスタート信号b、…、図2（6）及び図3（6）は共に選択信号fというように、図内の括弧はすべて同信号が対応するようにしている。

【0045】TFT液晶パネル11の走査線数（電極数）が例えば240本であり、上記図22で示した如く画面の上端と下端の双方、各画面の1/8の部分黒表示として画面の中央位置でワイド映像を表示させるものとする。この場合、黒表示を行なう画面の上端及び下端の部分の走査線数は各30本、合わせて60本となる。

【0046】制御回路14は、映像色信号切換回路16に入力される映像色信号の非サンプリング期間、すなわち表示を行なわない垂直帰線期間内で、1水平走査期間（以下及び図面中では「1H」と略称する）に走査電極ドライバ12のシフトレジスタ12aへのシフトクロックaを239本出力する。

【0047】また、このシフトレジスタの1本目から29本目の始めの29本と211本目から239本目の終

りの29本に同期して1本おきとなるようにシフトレジスタ12aへのスタート信号bを“H”レベルとする。

【0048】上記1Hの期間が終了した後、アンド回路群12bへの出力イネーブル信号cを2H分だけ“H”レベルとすると、その始めの1HでTFT液晶パネル11の上下端部分各30本の走査電極のうちの奇数番目、すなわち1, 3, …, 27, 29, 211, 213, …, 237, 239番目が同時に“H”レベルとなり、選択走査状態となる。

【0049】このとき、選択信号fを上記シフトクロックaが出力されている1H手前の時点から2H分だけ“H”レベルとしておけば、映像色信号RGBに代えて黒表示のための一定電圧Vfが映像色信号切換回路16で切換選択され、反転回路15を介して信号電極ドライバ13にサンプルホールドされてTFT液晶パネル11の信号電極にチャージされることとなる。

【0050】次に、続く1Hの始めの図中にt1で示すタイミングでシフトクロックaを1本シフトレジスタ12aに送出し、シフトレジスタ12aの保持内容を1桁分シフトさせると、今度はTFT液晶パネル11の上下端部分各30本の走査電極のうちの偶数番目、すなわち2, 4, …, 28, 30, 212, 214, …, 238, 240番目が同時に“H”レベルとなり、選択走査状態となる。

【0051】このとき、映像色信号RGBに代えて映像色信号切換回路16で切換選択された黒表示のための一定電圧Vfが、極性反転信号eにより反転回路15で上記奇数ラインの選択走査時とは極性が反転された状態で、信号電極ドライバ13にサンプルホールドされてTFT液晶パネル11の信号電極にチャージされることとなる。

【0052】そして、続く1Hで再度シフトレジスタ12aへのシフトクロックaを239本出力し、シフトレジスタ12aの保持内容をクリアする。また、このとき、図中にt2で示すタイミングで上記239本中の209番目に同期してスタート信号bを出力すると、TFT液晶パネル11の走査電極中の映像範囲の1番目、すなわち31番目に走査信号がシフトされ、以上で垂直帰線期間を終えて次の1Hから映像表示が可能となるものである。

【0053】なお、図1の構成及び動作では示さなかったが、走査電極ドライバ12のシフトレジスタ12aをリセット機能を有するものとすれば、TFT液晶パネル11の上下端部分各30本の走査電極のうちの奇数番目及び偶数番目の走査を終了した後、上記のようにシフトクロックaを239本出力してシフトレジスタ12aの保持内容をクリアする代わりに、1回リセットを行なってその保持内容を一括クリアした後、シフトクロックaを31本出力し、その先頭位置でスタート信号bを1本出力することでも、次の1Hから映像表示が可能とな

る。

【0054】また、上記実施の形態では表示対象としてTFT液晶パネル11を用いた場合を説明したが、本発明はこれに限るものではなく、TFT以外の液晶表示パネルやさらにはプラズマディスプレイ等、ドットマトリクスタイプの表示パネルであれば適用可能であることは言うまでもない。

【0055】(第2の実施の形態) 第2の実施の形態は請求項3及び4に対応する。

【0056】以下本発明をNTSCワイド映像信号の表示にも対応した液晶パネルの表示装置に適用した場合の第2の実施の形態について図面を参照して説明する。

【0057】図4はその回路構成を例示するもので、映像入力端子20から入力されたNTSC方式のコンポジット映像信号はRGBデコーダ21及びワイド検出回路22へ送られる。

【0058】RGBデコーダ21は、入力されたコンポジット映像信号に対して同期分離検出やクロマ処理等の処理を施すことによりR、G、Bの原色信号と水平同期信号H及び垂直同期信号Vよりなる同期信号とをデコード出力するもので、得られた各同期信号H、Vをコントローラ23へ、原色信号R、G、Bを反転アンプ24へそれぞれ出力する。

【0059】またRGBデコーダ21は、コントローラ23から黒表示信号BLACKを受けた際に、上記コンポジット映像信号からデコードした原色信号に代えて黒表示用の各階調値を有した原色信号R、G、Bを反転アンプ24へ送出する。

【0060】上記ワイド検出回路22は、入力されたコンポジット映像信号中の特定走査線位置に重畳されている識別信号の有無を検出することにより、そのコンポジット映像信号がアスペクト比9:16のワイド映像信号であるか、またはアスペクト比3:4の標準映像信号であることを判断するためのもので、ワイド映像信号であることを示す上記識別信号を検出した場合には上記コントローラ23へワイド表示モード信号を送出する。

【0061】コントローラ23は、その詳細な構成は後述するが、RGBデコーダ22から送られてくる同期信号H、Vとワイド検出回路22から送られてくるワイド表示モード信号に基づいて、表示対象であるアスペクト比3:4の標準表示画面を有するNTSC方式用の液晶表示パネル(LCD)25の信号電極を駆動する信号側ドライバ26に水平制御信号を、同走査電極を駆動する走査側ドライバ27に垂直制御信号を、そして上記反転アンプ24及びアンプ28に反転信号FRPをそれぞれ出力する。

【0062】反転アンプ24は、RGBデコーダ21から受けた原色信号R、G、Bをコントローラ23からの反転信号FRPに応じて走査線単位及びフィールド単位で適宜極性を反転させた後に上記信号側ドライバ26へ

供給する。

【0063】アンプ28は、コントローラ23からの反転信号FRPにより走査線単位及びフィールド単位で適宜極性を反転させた走査電圧VCOMを発生して上記走査側ドライバ27へ供給する。

【0064】しかして、走査側ドライバ27がアンプ28からの走査電圧VCOMにより液晶表示パネル25の走査電極を順次走査駆動し、これに合わせて信号側ドライバ26が反転アンプ24からの反転原色信号R、G、Bに応じて液晶表示パネル25の信号電極を階調駆動することで、液晶表示パネル25に映像が表示されるものである。

【0065】上述した如く液晶表示パネル25とこの液晶表示パネル25の信号電極を駆動する信号側ドライバ26及び同走査電極を駆動する走査側ドライバ27は3:4のアスペクト比を有するものであり、対するに映像入力端子20から入力される映像信号は3:4のアスペクト比を有する標準映像の場合と9:16のアスペクト比を有するワイド映像の場合とがあり得る。したがって、コントローラ23ではこれらの映像信号の入力に応じて液晶表示パネル25に映像を表示させるべくタイミング等の表示制御動作を行なうものである。

【0066】図5は上記コントローラ23の詳細な回路構成を例示するもので、RGBデコーダ21からの水平同期信号HはPLL回路31に、垂直同期信号Vは同期制御回路32に、そしてワイド検出回路22からのワイド表示モード信号は黒帯・間引き制御回路33及び間引きデコーダ34にそれぞれ入力される。

【0067】PLL回路31は、発振回路としてのVCO35と共にループ回路を構成し、水平デコーダ36から送られてくる走査パルスPHと上記水平同期信号Hとの位相差に応じた信号を該VCO35に出力する。VCO35は、PLL回路31からの信号電圧に基づいてこのコントローラ23内における基本クロック（CK）を発生し、水平カウンタ37及びドットクロック発生回路38へ送出する。

【0068】上記水平デコーダ36は、入力される映像信号の1水平走査期間内におけるドット位置をカウントする水平カウンタ37のカウント値を基に、スターと信号SRT、出力イネーブル信号OE及びクリア信号CLRを纏めて水平制御信号として直接上記信号側ドライバ26へ送出する一方、ゲート出力イネーブル信号GOE及びゲートパルスクロックGPCKを垂直制御信号として上記黒帯・間引き制御回路33へ出力し、さらに走査線クロックとなる内部水平同期信号（内部H）を垂直カウンタ39、間引きカウンタ40、FRP発生回路41及びリセット信号Rとして上記水平カウンタ37へそれぞれ出力する。

【0069】上記ドットクロック発生回路38は、VCO35から送られてきた基本クロックを適宜分周してド

ットクロックDCKを発生し、上記水平制御信号の一部として直接上記信号側ドライバ26へ送出する。

【0070】上記同期制御回路32は、上記RGBデコーダ21から入力される映像信号中から分離した垂直同期信号Vと垂直デコーダ42からの制御信号により内部垂直同期信号（内部V）を発生し、これをリセット信号として上記垂直カウンタ39、及び間引きカウンタ40へ、そして、FRP発生回路41へそれぞれ出力する。

【0071】垂直デコーダ42は、上記水平デコーダ36の出力する内部水平同期信号により映像信号中の1フィールド内における走査線位置をカウントする垂直カウンタ29のカウント値を基に、上記同期制御回路32へ制御信号を送出する一方、ゲートスタート信号GSRTを上記垂直制御信号の一部として直接上記走査側ドライバ27へ送出し、また上記黒帯・間引き制御回路33へ上記ゲートパルスクロックGPCKの切換えを指示するGPCK切換え信号及びゲート出力停止信号を、間引きデコーダ34へ間引き停止信号を、上記RGBデコーダ21に黒表示信号BLACKをそれぞれ送出する。

【0072】間引きデコーダ34は、上記垂直カウンタ39と同じく水平デコーダ36の出力する内部水平同期信号により映像信号中の1フィールド内における走査線位置をカウントする間引きカウンタ40のカウント値を基に、上記ワイド検出回路22から入力されるワイド表示モード信号及び上記垂直デコーダ42から入力される間引き停止信号をに対応して、間引きを行なうべき走査線位置となるタイミングを表わす間引きライン信号を上記黒帯・間引き制御回路33及びFRP発生回路41に送出する。

【0073】FRP発生回路41は、水平デコーダ36からの内部水平同期信号と間引きデコーダ34からの間引きライン信号及び同期制御回路32からの内部垂直同期信号により、液晶表示パネル25の走査線単位及びフィールド単位で電極にかかる電圧の極性を反転させるための反転信号FRPを発生し、上述した如く上記反転アンプ24及びアンプ28へ出力する。

【0074】上記黒帯・間引き制御回路33は、水平デコーダ36から送られてくる垂直制御信号としてのゲート出力イネーブル信号GOE及びゲートパルスクロックGPCKの上記走査側ドライバ27への出力を、上記間引きデコーダ34からの間引きライン信号、上記垂直デコーダ42からのGPCK切換え信号とゲート出力停止信号、及び上記ワイド検出回路22からのワイド表示モード信号により適宜停止制御する。

【0075】上記のような回路構成にあって、映像入力端子20にアスペクト比9:16のワイド映像による信号のコンポジット映像信号が入力される場合の動作について説明する。

【0076】ワイド映像のコンポジット映像信号が映像入力端子20から入力された場合、このコンポジット映



像信号中の特定走査線位置にはワイド映像用の識別信号が重畳されているので、ワイド検出回路22はこの識別符号を検出し、上記コントローラ23へワイド表示モード信号を送出する。

【0077】RGBデコーダ21は、映像入力端子20から入力されたコンポジット映像信号からR、G、Bの原色信号と水平同期信号H及び垂直同期信号Vよりなる同期信号とを分離し、各同期信号H、Vをコントローラ23へ、原色信号R、G、Bを反転アンプ24へそれぞれ出力する。

【0078】コントローラ23においては、入力されたコンポジット映像信号が1走査期間内に時間的に信号量が圧縮されたワイド映像によるものであることと、液晶表示パネル25の信号電極数及び走査線電極数を鑑みて水平制御信号及び垂直制御信号を信号ドライバ側26及び走査側ドライバ27へ送出する。

【0079】すなわち、NTSC方式のワイド映像信号が同方式の標準映像信号と同じく走査線数262.5本/フィールド、そのうちの有効走査線数も同じく241.5本/フィールドであり、このワイド映像信号を縦横のバランスをくずすことなくアスペクト比3:4の画面を有する液晶表示パネル25に表示させるためには、上記図22に示したように画面の上端部分及び下端部分の合わせて画面全体の1/4(=3/12)を同一色、例えば黒でマスク表示し、残る3/4(=9/12)を表示に使用することになる。

【0080】ここで映像信号の間引き割合を考える。上記液晶表示パネル25の垂直方向の画素数、すなわち走査電極数を234本とし、そのうち上から第1本目～第30本目の30本と第205本目～第234本目の30本の合わせて60本により黒のマスク表示を行ない、残る中央の第31本目～第204本目の174本でワイド映像を表示するものとする。

【0081】これに対して、入力されるワイド映像信号の1フィールド中の有効走査線数は上述した如く241.5本であるので、そのうちの232本にわたる範囲を上記表示に用いるものとする、ちょうど $174/232 = 3/4$ となり、入力された映像信号の4本中、1本を間引いて残る3本を表示に用いればよいこととなる。

【0082】したがって、コントローラ23内では、間引きデコーダ34が水平デコーダ36の出力する内部水平同期信号により映像信号中の1フィールド内における走査線位置をカウントする間引きカウンタ40のカウント値を基に、上記ワイド検出回路22からワイド表示モード信号が入力されており、且つ映像表示期間で垂直デコーダ42から間引き停止信号が入力されていないことを確認して、ワイド映像信号の有効走査数232本中で4本に1本の割合で“H”レベルとなるような、タイミングの間引きライン信号を上記黒帯・間引き制御回路3

3及びFRP発生回路41に送出する。

【0083】これに対して黒帯・間引き制御回路33は、水平デコーダ36から送られてくる垂直制御信号としてのゲート出力イネーブル信号GEO及びベートパルスクロックGPCKの上記走査側ドライバ27への出力を、間引きデコーダ34からの間引きライン信号と上記ワイド検出回路22からのワイド表示モード信号、垂直デコーダ42からのGPCK切換え信号及びゲート出力停止信号とにより結果的に1フィールド内で174(=232×(3/4))本の走査線を駆動するべく適宜停止制御させる。

【0084】この場合、上述した如くNTSC方式のワイド映像信号の有効走査線数241.5本/フィールド中の232本/フィールドを3/4に間引いて表示に使用するのであるから、「 $232/241.5 \approx 96$ (%)」の計算により、表示に用いる各走査線での水平方向の信号量を略96%とし、左右両端合わせて略4%の映像を表示に使用しないように上記水平デコーダ36、水平カウンタ37及びドットクロック発生回路38を含む水平系の周辺回路を設計すれば、ほとんど偏平がなく縦横のバランスのとれたワイド映像を液晶表示パネル25の中央位置で表示することができる。

【0085】次に、上記のような画面中の映像表示部分の動作に続いて、画面上端部分及び下端部分のマスク表示部分の動作について述べる。

【0086】図6及び図7は、映像入力端子20に入力されるNTSC方式のワイド映像信号の第1フィールドと第2フィールドにおける主として垂直帰線期間での上記マスク表示部分の表示駆動のための各信号波形を示すものである。

【0087】すなわちマスク表示部分においては、走査側ドライバ27が液晶表示パネル25の上から205本目～234本目の走査電極を駆動するタイミングを垂直カウンタ39のカウント値により検知した垂直デコーダ42が、RGBデコーダ21に送出する図6(2)、図7(2)に示す如く黒表示信号BLACKを“H”レベルとして、入力された映像信号をデコードして得られる原色信号R、G、Bに代えて黒表示用の各固定階調値を有した原色信号R、G、Bを反転アンプ24へ送出させる。

【0088】また、これと共に垂直デコーダ42は、図6(3)、図7(3)に示すように上記走査側ドライバ27への上記垂直制御信号の一部としてのゲートスタート信号GSRTを1パルス分出力させ、さらに同時に図示はしないが間引きデコーダ34への間引き無効信号も上記黒表示信号BLACKとほぼ同タイミングで“H”レベルとする。

【0089】このとき水平デコーダ36から黒帯・間引き制御回路33を介して垂直制御信号として走査側ドライバ27へ出力されるゲートパルスクロックGPCKは

図6(4)、図7(4)に示すように、同じくゲート出力イネーブル信号GOEを図6(5)、図7(5)に示すように映像表示部分の期間と同様に出力されて、走査側ドライバ27により液晶表示パネル25の第1本目の走査電極と第205本目の走査電極、第2本目の走査電極と第206本目の走査電極、……というように、図中のゲート出力イネーブル信号GOE中に数字で示す如く第1本目～第30本目の走査電極30本と第205本目～第234本目の走査電極30本とが、それぞれ1本ずつ、同時に2本単位で順次選択されて走査駆動されることとなる。

【0090】したがって、上記上端部分30本と下端部分30本の合わせて60本分のマスク表示部分の走査に必要な時間は30Hとなり、映像信号中の表示に用いる部分の該当時間232Hの期間と合わせても、1フィールドの時間262.5H内で、すべて走査可能となる。

【0091】図8(a)、(b)はこのマスク表示部分の走査線の同時選択の様子を示すものであり、画面上端部分側の走査線(1)、(2)、……、(30)と画面下端部分側の走査線(1)', (2)', ……、(30)'とでそれぞれ1本ずつ、1Hの期間同時に2本単位で順次選択されていることがわかる。

【0092】上記のようなマスク表示部分の各画素においては、映像表示部分と同様に1Hの期間で黒表示信号BLACKに基づいた固定階調値のチャージを行なっているため、黒表示部分にむらを生じることなく、均一な表示とさせることができる。

【0093】(第3の実施の形態)第3の実施の形態は請求項3及び4に対応する。

【0094】以下本発明をNTSCワイド映像信号の表示にも対応した液晶パネルの表示装置に適用した場合の第3の実施の形態について図面を参照して説明する。

【0095】しかるに、その回路構成については上記図4と同様であるものとし、さらに構成回路中で全体の動作制御を行なうコントローラの詳細な内部構成については上記図5と同様であるものとして、それぞれ同一部分には同一符号を付してその説明は省略するものとする。

【0096】次に、上記第3の実施の形態における、主として画面上端部分及び下端部分のマスク表示部分の動作について図9乃至図11を用いて述べる。

【0097】図9及び図10は、映像入力端子20に入力されるNTSC方式のワイド映像信号の第1フィールドと第2フィールドにおける主として垂直帰線期間での上記マスク表示部分の表示駆動のための各信号波形を示すものである。

【0098】すなわち、この動作においては、図9(9)、図10(9)に示す如くゲート出力イネーブル信号GOEに応じて、映像表示部分において液晶表示素子のライン反転による交流駆動のために1本離れた2本の走査電極が常に同時に選択駆動されるようになってい

る。

【0099】例えば、図中のtaで示すタイミングでは第202本目の走査電極と第204本目の走査電極とが同時に選択され、同一の表示を行なっていることを示す。しかしながら、第204本目の走査電極においては、その2H後の図中にtbで示すタイミングで第206本目の走査電極と共に再度選択駆動され、その際にこの第206本目の走査電極で本来表示すべき表示信号が各信号電極に与えられて、その後約1フィールド分だけ表示を続行することとなるので、結果として上記taで示したタイミングで与えられた表示信号はわずか2Hのみの間しか表示されず、人間の視覚では知覚し得ない。

【0100】そのため、走査線毎に表示内容の異なる映像表示部分では、上記のように2本の走査電極を同時に選択駆動しながらも、実質1本を選択駆動しているのと同様の表示状態とすることができるものである。

【0101】そして、映像表示部分の駆動を終えるタイミングとなった時点で垂直カウンタ39のカウント値によりこれを検知した垂直デコーダ42は、RGBデコーダ21に送出する黒表示信号BLACKを図9(2)、図10(2)に示すごとく“H”レベルとし、それから1H後に図9(4)、図10(4)に示すようにマスク表示部分用の間引き停止信号を“H”レベルとする。

【0102】黒表示信号BLACKの立上がりから2H後に垂直デコーダ42からのGPCCK切換え信号を受けた黒帯・間引き制御回路33は、図9(8)、図10(8)に示す如くゲートパルスクロックGPCCKをパルス1発分だけ出力を停止する一方、図9(9)、図10(9)に示すゲート出力イネーブル信号GOEは出力を継続する。

【0103】その結果、タイミングtc以降、すなわち、第205本目以降の走査電極に対応するマスク表示部分で走査電極が1本間隔を空けて2本ずつ選択駆動される一方、入力された映像信号をデコードして得られる原色信号R、G、Bに代えて黒表示用の各固定階調値を有した原色信号R、G、Bにより反転アンプ24を介して信号側ドライバ26が信号電極の駆動を行なうため、当該走査線部分が黒表示とされる。

【0104】その後垂直デコーダ42は、図9(5)、図10(5)に示す如く黒帯・間引き制御回路33へのゲート出力停止信号を時間調整のために一定時間だけ“L”レベルとしてゲートパルスクロックGPCCK及び出力イネーブル信号OEの走査側ドライバ27への出力を停止させ、それから再びゲート出力停止信号を“H”レベルとしてゲートパルスクロックGPCCK及び出力イネーブル信号OEの出力を再開する。

【0105】このとき垂直デコーダ42は、図9(7)、図10(7)でt1で示すタイミングで走査側ドライバ27へのゲートスタート信号GSRTを1パル

ス分だけ出力し、その2H後にt2で示すタイミングで再度ゲートスタート信号GSRTを1パルス分だけ出力する。

【0106】このゲートスタート信号GSRTに同期して、図9(8)、図10(8)に示すように水平デコーダ36が黒帯・間引き制御回路33を介してゲートパルスクロックGPCKをt3のタイミングで連続した3パルス分だけ出力し、以後1H毎に1発のパルスと3発の連続したパルスとを交互に出力させる。

【0107】これらの信号により、上記始めのゲートスタート信号GSRTの出力から1H遅れたタイミングでゲート出力イネーブル信号GOEにより上端のマスク表示部分の最初の走査線、すなわち第1本目の走査線が下端のマスク表示部分の第212本目及び第214本目の走査線と3本同時に選択駆動され、同様に次の1Hで上端のマスク表示部分の第2本目の走査線が下端のマスク表示部分の第213本目及び第215本目の走査線と3本同時に黒表示のために選択駆動される。

【0108】そして、さらに1H後の上記t3のタイミングで上端のマスク表示部分の第3本目及び第5本目の走査線が下端のマスク表示部分の第216本目及び第218本目の走査線と4本同時に選択駆動され、以後ゲート出力イネーブル信号GOE及びゲートパルスクロックGPCKにより上端のマスク表示部分の1本間隔を空けた2本の走査線と下端のマスク表示部分の1本間隔を空けた2本の走査線の計4本の走査線が順次同時に黒表示のために選択駆動されていく。

【0109】こうして下端のマスク表示部分の最後の走査線、すなわちここでは選択の順序により第233本目が黒表示のために選択駆動された後も、残る上端のマスク表示部分の走査線が2本ずつ同時に黒表示のために選択駆動される。

【0110】その後、図9(2)、図10(2)で示す如く垂直デコーダ42の出力する黒表示信号BLACKが“L”レベルとなることで、これより1H遅れたタイミングで図9(9)、図10(9)に示すように上端のマスク表示部分の第28本目及び第30本目の走査線が2本同時に黒表示のために選択駆動され、以上でマスク表示部分の走査を終えて、再び映像表示部分の走査を開始するようになる。

【0111】このように、上記上端部分30本と下端部分30本の合わせて60本分のマスク表示部分の走査に必要な時間は多少の走査のずれによるロスもあるが、原理的には15Hとなり、映像信号中の表示に用いる部分の該当時間232Hの期間と合わせても、1フィールドの時間262.5H内で、すべて走査可能となる。

【0112】図11(a)、(b)はこのマスク表示部分の走査線の理想的な同時選択の様子を示すものであり、画面上端部分側の走査線(1)と(3)、(2)と(4)、……と画面下端部分側の走査線(1)'と

(3)', (2)' と(4)', ……というように、それぞれ2本ずつ、1Hの期間同時に計4本が順次選択されていることがわかる。

【0113】上記のようなマスク表示部分の各画素においては、映像表示部分と同時に1Hの期間で黒表示信号BLACKに基づいた固定階調値のチャージを行なっているため、黒表示部分にむらを生じることなく、均一な表示とさせることができる。

【0114】なお、上記図9乃至図11では同時に選択する走査線を上端部分2本と下端部分2本の計4本として説明したが、これに限るものではなく、上端部分3本と下端部分3本の計6本、上端部分4本と下端部分4本の計8本、というようにさらに多くの走査線を同時選択することにより、マスク表示部分の走査に要する時間をさらに大幅に短縮することができる。

【0115】そして、このようにマスク表示部分の走査に要する時間を大幅に短縮することで、通常の映像信号に比して垂直帰線期間が短い場合、例えばビデオテープレコーダで早送り再生、巻戻し再生を行なう場合等でも充分時間的に余裕を持ってマスク表示部分の走査の実行することができる。

【0116】なお、上記各実施の形態では表示対象として液晶表示パネル25を用いた場合を説明したが、本発明はこれに限るものではなく、プラズマディスプレイ等、ドットマトリクスタイプの表示パネルであれば他にも適用可能であることは言うまでもない。

【0117】(第4の実施の形態) 第4の実施の形態は請求項5~7に対応する。

【0118】以下、本発明をNTSC標準映像信号にも対応した横長液晶表示パネルを有する表示装置に適用した場合の第4の実施の形態を図面を参照しつつ説明する。

【0119】図12~図19は、第4の実施の形態を説明するための図である。

【0120】先ず、構成を説明する。

【0121】図12は、第4の実施の形態に係る表示駆動装置を示すブロック図である。

【0122】図12に示す表示駆動回路は、RGBデコーダ51、ワイド検出回路52、制御回路53、信号側ドライバ54、走査側ドライバ55、及び表示対象となる9:16のアスペクト比のワイド表示画面を有するTF T液晶パネル56等から構成されている。

【0123】先ず、映像入力端子50から入力されたNTSC方式のコンポジット映像信号は、RGBデコーダ51及びワイド検出回路52に供給される。

【0124】RGBデコーダ51は、入力されるコンポジット映像信号に対して同期分離検出やクロマ処理等の処理を施すことにより、R、G、Bの原色信号と水平同期信号H及び垂直同期信号Vよりなる同期信号とをデコード出力するもので、得られた各同期信号H、Vを制御

回路53へ、原色信号R、G、Bを信号側ドライバ54に夫々供給する。

【0125】ワイド検出回路52は、入力されたコンボジット映像信号中の特定走査線位置に重畳されている識別信号の有無を検出することにより、そのコンボジット映像信号がアスペクト比9:16のワイド映像信号であるか、またはアスペクト比3:4の標準映像信号であるかを判断するためのもので、ワイド映像信号であることを示す上記識別信号を検出した場合には、制御回路53へワイド表示モード信号を送信する。

【0126】走査側ドライバ55は、制御回路53から供給される垂直制御信号に基づいて走査信号を生成して、この走査信号を液晶表示パネル56の複数の走査電極（ゲートラインGL）Y1~mに順次供給して選択状態とし、信号電極（ドレインラインDL）X1~nと交差する各画素位置の液晶に所定の電圧を印加して液晶を駆動させる。

【0127】信号側ドライバ54は、詳細は後述するが、RGBデコーダ51から供給されるR、G、Bの表示信号及び制御回路53から供給される水平制御信号に基づいて、液晶を交流駆動するのに適した電圧波形を有する液晶駆動パルス（表示信号）を生成して液晶表示パネル56の各信号電極X1~nに所定のタイミングで印加することにより階調表示を行なわせる。

【0128】液晶表示パネル56は、9:16のアスペクト比を有しており、ガラス基板上にm行n列の走査電極（ゲートラインGL）Y1~mと信号電極（ドレインラインDL）X1~nが配列されている。そして、そのドレインラインDLとゲートラインGLの各交点にはスイッチング素子としてTFT素子と、これに接続された液晶容量CLCがマトリックス上に配置されて画素を構成している（図では代表的に1組のみを示している。）。

【0129】TFT素子のゲート電極Gは、同一行を構成するTFT素子に共通のゲートラインGLに接続されており、ドレインDは、同一列を構成するTFT素子に共通のドレインラインDLに接続され、また、ソースSは、図示しない各画素毎の画素電極に接続されている。そして、この画素電極は、液晶を介して対向配置された共通電極（図示せず）との間で液晶容量CLCが形成されている。

【0130】制御回路53は、RGBデコーダ51から送られてくる同期信号H、Vとワイド検出回路52から送られてくるワイド表示モード信号に基づいて、表示対象であるアスペクト比9:16のワイド表示画面を有するNTSC方式用の液晶表示パネル（LCD）56の信号電極を駆動する信号側ドライバ54に後述する水平制御信号を、走査電極を駆動する走査側ドライバ55に垂直制御信号を夫々出力する。

【0131】即ち、制御回路53は、水平制御信号として、右シフト用のスタートパルスであるゲートR信号、

左シフト用のスタートパルスである左ゲートL信号、右シフト用3相クロックCK1R、CK2R、CK3R、左シフト用3相クロックCK1L、CK2L、CK3L、右シフト用のイネーブル信号BSP-R、及び左シフト用のイネーブル信号BSP-Lを作成して、信号側ドライバ54の双方向シフトレジスタ60に出力する（図13参照）。

【0132】上記した如く、液晶表示パネル56とこの液晶表示パネル56の信号電極を駆動する信号側ドライバ及び同走査電極を駆動する走査側ドライバ55は、9:16のアスペクト比を有するものであり、これに対して、入力する映像信号は9:16のアスペクト比を有するワイド映像信号である場合と3:4のアスペクト比を有する標準映像信号の場合とがあり得る。従って、制御回路53ではこれらの映像信号の入力に応じて液晶表示パネル56に映像を表示させるべくタイミング等の表示制御動作を行う。

【0133】図13は、信号側ドライバ54の詳細な回路構成を例示するものあり、信号側ドライバ54は、双方向シフトレジスタ60と、サンプルホールド回路70と、及び駆動バッファ回路80とから構成されている。

【0134】双方向シフトレジスタ60は、詳細は後述するが、信号電極X1、・・・Xnの各段毎に、ラッチ回路等が連続して接続されており、入力する右シフト用のスタートパルスであるゲートR信号と左シフト用のスタートパルスである左ゲートL信号を、夫々入力する右シフト用3相クロック（CK1R、CK2R、CK3R）と左シフト用3相クロック（CK1L、CK2L、CK3L）のタイミングでラッチしてシフト信号を生成し、さらに、このシフト信号を入力する右シフト用のイネーブル信号であるBSP-Rと左シフト用のイネーブル信号であるBSP-Lに応じて所定の順序で出力される右シフト用及び左シフト用サンプリングクロックSP1~nを生成して、次段のサンプル/ホールド回路70に順次出力する。

【0135】サンプル/ホールド回路70は、例えば、スイッチング回路やコンデンサ等で構成され、RGBデコーダ51から供給されるRGBの映像信号を、双方向シフトレジスタ60から供給されるサンプリングクロックSPに基づいてサンプルホールドし、得られるサンプルホールド電圧SH1~nを順次駆動バッファ80に出力する。

【0136】駆動バッファ80は、サンプル/ホールド回路70から供給されるサンプルホールド電圧SH1~nを所定の増幅率で増幅して表示信号を生成して液晶表示パネル56の各信号電極X1~Xnに順次出力する。

【0137】図14は、双方向シフトレジスタ60の詳細な回路構成を例示するものであり、各信号電極X1~Xn毎に、ラッチ回路、インバータ回路、OR回路及びAND回路が組み合わされて構成されており、この双方

向シフトレジスタ60は、左シフト用ラッチ部61、信号変換部62、右シフト用ラッチ部63、及びゲート部64の各ブロックから成る。

【0138】左シフト用ラッチ部61は、左シフト用ラッチ回路LR及びOR回路LORからなり、左シフト用ラッチ回路LRは、前段の左シフト用ラッチ回路LRから出力される信号と信号変換部62から出力される信号とのOR出力を入力する3相クロック（CK1L, CK2L, CK3L）で夫々ラッチして左シフト信号を順次次段の左シフト用ラッチ回路LR、信号変換部62、及びゲート部62に出力する。

【0139】信号変換部62は、右シフト用インバータ回路RIn、右シフト用AND回路RAND、左シフト用インバータ回路LIn、及び右シフト用AND回路LANDからなる。

【0140】左シフト用AND回路LANDには、左シフト用のゲートL信号と、前段の右シフト用ラッチ回路RRから出力される右シフト用シフト信号が左シフト用インバータ回路LInで反転されたシフト反転信号と、及び、右シフト用ラッチ回路LRから出力される右シフト信号とが入力し、これら信号のAND出力を左シフト用ラッチ部61に出力する。

【0141】右シフト用AND回路RANDには、右シフト用のゲートR信号と、前段の左シフト用ラッチ回路LRから出力される左シフト信号が右シフト用インバータ回路RInで反転されたシフト反転信号と、及び、左シフト用ラッチ回路LRから出力される左シフト信号とが入力し、これら信号のAND出力を右シフト用ラッチ部63に出力する。

【0142】右シフト用ラッチ部63は、右シフト用ラッチ回路RR及びOR回路RORからなり、右シフト用ラッチ回路RRは、前段の右シフト用ラッチ回路RRから出力される信号と信号変換部62から出力される信号とのOR出力を、入力する3相クロック（CK1R, CK2R, CK3R）で夫々ラッチして右シフト信号を順次次段の右シフト用ラッチ回路RR、信号変換部62、及びゲート部64に出力する。

【0143】ゲート部64は、AND回路とOR回路が組み合わされてなり、一方のAND回路GAND1は、右シフト用ラッチ部63から出力される右シフト信号と、左シフト用イネーブル信号BSP-Lとが入力して、これら信号のAND出力をOR回路GORに出力する。他方のAND回路GAND2は、左シフト用ラッチ部61から出力される左シフト信号と、右シフト用イネーブル信号BSP-Rとが入力して、これら信号のAND出力をOR回路GORに出力する。OR回路GORは、AND回路GAND1、GAND2から出力される信号のOR出力をサンプリング信号SP1~nとして順次サンプル/ホールド回路70に出力する。

【0144】以上のような回路構成にあって、映像入力

端子に、アスペクト比9:16のワイド映像信号のコンボジット映像信号が入力される場合、及び、アスペクト比3:4の標準映像信号のコンボジット映像信号が入力される場合の動作を説明する。

【0145】図12において、コンボジット映像信号が映像入力端子50から入力された場合、ワイド検出回路52は、このコンボジット映像信号中の特定走査線位置にワイド映像用の識別信号が重畳されているか否かを判別し、識別信号を検出した場合はワイド映像信号であると判断して制御回路53へワイド表示モード信号を送出する一方、識別信号を検出しない場合は標準映像信号であると判断して、制御回路53にワイド表示モード信号を出力しない。

【0146】RGBデコーダは51、映像入力端子50から入力されたコンボジット映像信号中からR, G, Bの原色信号と水平同期信号H及び垂直同期信号Vよりなる同期信号とを分離し、各同期信号H, Vを制御回路53へ、原色信号R, G, Bを信号側ドライバ54は夫々出力する。

【0147】制御回路53では、入力されたコンボジット映像信号が標準映像信号によるものか或いはワイド映像信号によるものであるかということ、及び、液晶表示パネル56の信号電極数及び走査電極数を鑑みて水平制御信号及び垂直制御信号を信号側ドライバ54及び走査側ドライバ55へ夫々出力する。

【0148】ここで、アスペクト比9:16のワイド画面を有するTF T液晶パネル56にワイド映像信号を表示する場合の制御回路53及び信号側ドライバ54の動作を図14~図16を参照して説明する。

【0149】図14において、ワイド映像信号を表示する場合、制御回路53は、信号側ドライバ54の双方向シフトレジスタ60に出力する右シフト用イネーブル信号BSP-R及び左シフト用イネーブル信号BSP-Lを「H」レベルに固定するとともに、右シフト用ゲートR信号及び左シフト用ゲートL信号を「L」レベルに固定する。この場合、図14に示す双方向シフトレジスタは、図15の如き等価回路で表すことができる。

【0150】図16は、図15の双方向シフトレジスタ60で、右方向にサンプリング信号を順次出力する場合のタイミング図の一例である。

【0151】図15において、先ず、制御回路53は、双方向シフトレジスタ60に右方向のサンプリング信号を出力させる場合には、左シフト用ラッチ回路LRに、常時、「H」レベルの3相の左シフトクロックCK1L, CK2L, 及びCK3Lを出力するとともに、「L」レベルのシフトデータを出力する。

【0152】その結果、左シフト用ラッチ回路LRからは、常時「L」レベルの左用シフト信号が、OR回路GORの一入力端に出力されることになる。

【0153】一方、右用ラッチ回路RRでは、入力する

信号を、図16の如き3相の右シフトクロックCK1R、CK2R、CK3Rのタイミングで順次ラッチされ、右シフト信号がOR回路GORの他入力端に出力される。

【0154】その結果、OR回路GORからは、右シフト用ラッチ回路RRからの右シフト信号をそのまま、図16の如きサンプリング信号・・SPa、SPa+1、SPa+2、・・・として出力される。

【0155】そして、サンプル/ホールド回路70は、RGBデコーダ51から供給されるRGBの映像信号を  
10 双方向シフトレジスタ60から出力されサンプリング信号SPが「H」レベルの間、サンプル/ホールドし、得られるサンプルホールド電圧SHが順次、駆動バッファ80を介して、表示信号として、液晶表示パネル56の各信号電極X1～Xnに順次左方向から右方向に出力する。

【0156】逆に、図15に示す双方向シフトレジスタ60で、左方向に順次サンプリング信号SPを出力する場合には、制御回路53が、右シフト用ラッチ回路RRに常時「L」レベルのシフトデータ及び「H」レベルの  
20 3相の右シフトクロックCK1R、CK2R、及びCK3Rを出力し、右シフト用ラッチ回路RRが、常時「L」レベルの右シフト信号を出力する構成とすれば、左シフト用ラッチ回路LRから出力される左シフト信号がサンプリング信号SPとしてそのまま右側から左方向に順次出力される。

【0157】ここで、表示信号の出力方向は、走査電極の偶数ライン及び奇数ライン毎に切り換えても良い。

【0158】即ち、奇数走査電極走査時には、双方向シフトレジスタ60はサンプリング信号SPを順次左側から  
30 右方向に出力し、サンプル/ホールド回路70では、映像信号をサンプリング信号SPに応じたタイミングでサンプリング/ホールドして、得られるサンプルホールド電圧SHを、駆動バッファ80を介して表示信号として信号電極X1～Xnに夫々出力する。

【0159】また、偶数走査電極走査時には、双方向シフトレジスタ60は、サンプリング信号を順次右側から左方向に出力し、サンプル/ホールド回路70では、右シフト時とはデータ位置が反転された映像信号をサンプリング信号SPに応じたタイミングでサンプリング/ホールドし、得られるサンプルホールド電圧SHを、駆動バッファを介して表示信号として信号電極X1～Xnに夫々出力する。  
40

【0160】そして、この表示信号が信号電極X1～Xnに夫々接続されているTFTを介して、各画素毎の表示信号が液晶容量CLに書き込まれる。

【0161】以上の構成によれば、TFT液晶表示パネル56の奇数走査電極Y1、Y3、Y5・・・は、画面の左側から右方向に順に走査し、偶数走査電極Y2、Y4、Y6・・・は、画面の右側から左方向に順に走査するよ  
50

うにする。このため、隣接する走査電極Y1とY2に接続された上下2画素に注目すると、その2画素で交互に補償し合って画面全体では均一なバイアスが印加されることになる。換言すると、2走査で平均化したバイアスが印加されるため、画面全体で様な輝度特性を得ることができる。

【0162】尚、上記実施の形態では、奇数走査電極と偶数走査電極の走査時におけるサンプリング順序を左右逆方向としたが、この例に限定されるものではなく、2ライン、3ラインあるいはそれ以上のライン毎にサンプリング方向を変えて、バイアスのかかり方を相互に補償する構成としても良い。

【0163】次に、アスペクト比9:16のワイド画面を有するTFT液晶表示パネル56に標準映像信号(アスペクト比3:4)を表示する場合の制御回路53及び信号側ドライバ54の動作を図14、及び図17～19を参照して説明する。

【0164】図23に示す如く、ワイド画面に標準映像信号を表示する場合には、画面の両端の画面全体の1/4の部分のマスク(黒帯)表示する必要があり、本実施の形態では、双方向シフトレジスタ60を利用して、一方のシフトレジスタ(右シフト用ラッチ部63若しくは左シフト用ラッチ部61)に表示信号を出力するためのサンプリング信号の作成を担わしめ、他方のシフトレジスタには、上記マスク部を表示するための機能を担わしめる。

【0165】図14において、標準映像信号を表示する場合で、且つ左方向から右方向に表示信号を出力する場合には、制御回路53は、図14の双方向シフトレジスタ60に出力する左シフト用イネーブル信号を「H」レベルに固定するとともに、左シフト用ゲートL信号を「L」レベルに固定する。この場合、図14の双方向シフトレジスタ60は、図17の如き等価回路で表すことができる。

【0166】図18及び図19は、図17の双方向シフトレジスタ60において、右方向にサンプリング信号を順次出力する場合のタイミング図の一例である。

【0167】図17において、先ず、制御回路53は、電源投入後、又は、垂直帰線期間毎に黒帯表示する信号電極に対応する左シフト用ラッチ回路LRに「H」のデータを書き込む(タイムチャートは省略)。図17に示される例では、左シフト用ラッチ回路・・・、LRa-1、LRa、LRa+1に「H」のデータが書込まれる(図17において、「H」のデータが書込まれる左シフト用ラッチ回路LRに斜線が施してある。)

【0168】次に、マスク部を表示するに際し、制御回路53が、垂直帰線期間毎に、図19に示す如く、右シフト用イネーブル信号BSP-Rを「H」にする。この右シフト用イネーブル信号BSP-Rは、AND回路・GAND2a-1、GAND2a、の一端入力端に出力さ

れる。また、「H」のデータが書き込まれた左シフト用ラッチ回路 $\cdots$ 、 $LRa$ 、 $LRa+1$ からは「H」レベルの信号がAND回路 $\cdots$   $GAND2a-1$ 、 $GAND2a$ 、の他入力端に出力される。そして、AND回路 $\cdots$   $GAND2a-1$ 、 $GAND2a$ からは「H」レベルの信号がOR回路 $\cdots$   $GORa-1$ 、 $GORa$ に出力され、その結果、このOR回路 $\cdots$   $GORa-1$ 、 $GORa$ からは「H」レベルの信号がサンプル/ホールド回路70に出力される。そして、サンプル/ホールド回路70は、この「H」レベルの信号が出力されている間、映像信号Vsigのベデスタルレベルをサンプル/ホールドし、このベデスタルレベルに応じたサンプルホールド電圧を駆動バッファ80を介して信号電極に出力する。

【0169】以上の構成により、マスク表示部に対応する信号電極には、ベデスタルレベルに応じた電圧が印加されることになる。

【0170】引き続き、映像部分を表示する際の動作を説明する。映像信号期間に入ると、図18及び図19に示すタイミングで右シフト用ゲートR信号を「H」する。この信号を、右用ラッチ回路 $RRa+1$ 、 $RRa+2$ 、 $\cdots$ では、右シフト用ゲートR信号を図18の如き3相の右シフトクロック $CK1R$ 、 $CK2R$ 、 $CK3R$ のタイミングで順次ラッチして、右シフト信号をOR回路 $GORa+1$ 、 $GORa+2$ 、 $\cdots$ の一端入力端に出力する。また、OR回路 $GORa+1$ 、 $GORa+2$ 、 $\cdots$ の他入力端には、AND回路 $GAND2a+1$ 、 $GAND2a+2$ 、 $\cdots$ から「L」レベルの信号が入力し、その結果、OR回路 $GORa+1$ 、 $GORa+2$ 、 $\cdots$ からは、右シフト用ラッチ回路 $RRa+1$ 、 $RRa+2$ 、 $\cdots$ からの右シフト信号をそのまま、図18の如きサンプリング信号 $SPa+1$ 、 $SPa+2$ 、 $\cdots$ としてサンプル/ホールド回路70に順次出力する。

【0171】そして、サンプル/ホールド回路70は、RGBデコーダ51から供給されるRGBの映像信号を双方向シフトレジスタ60から出力されサンプリング信号SPが「H」レベルの間、サンプル/ホールドし、得られるサンプルホールド電圧SHが順次、駆動バッファ80を介して、表示信号として、液晶表示パネル56の各信号電極 $X1 \sim Xn$ に順次左方向から右方向に出力する。

【0172】すなわち、黒帯に対応する信号電極 $\cdots$   $SPa$ の次の信号電極 $SPa+1$ から映像信号が表示されることになる。

【0173】以上の構成では、信号側ドライバ54が、左方向から右方向に表示信号を出力する場合の例を示したが、本双方向シフトレジスタ60は対称型であるので、逆に、右方向から左方向に表示信号を出力する構成としても良い。

【0174】その場合、制御回路53は、双方向シフトレジスタ60に出力する右シフト用イネーブル信号BS

P-Rを「H」レベルに固定するとともに、右シフト用ゲートR信号を「L」レベルに固定する。そして、垂直帰線期間毎に黒帯表示する信号電極に対応する右シフト用ラッチ回路RRに「H」のデータを書き込む(タイムチャートは省略)構成として、マスク部に対応する信号電極にベデスタルレベルに応じた電圧を印加し、映像表示部に対応する信号電極には、右側から左方向に順次表示信号を出力すれば良い。

【0175】ここで、表示信号の出力方向は、1フィールド若しくは1フレーム毎に切り換える構成としても良く、かかる切り換える構成とすれば、その2フィールド(若しくはフレーム)で交互に補償し合って画面全体では均一なバイアスが印加されることになる。換言すると、2フィールドで平均化したバイアスが印加されるため、マスク部を含めた画面全体で均一な輝度特性を得ることができる。

【0176】以上説明したように、本実施の形態では、信号側ドライバ内部の双方向シフトレジスタを利用して映像信号のベデスタルレベルをサンプリングして、マスク表示部に対応する信号電極にこのベデスタルレベルに応じた電圧を印加する構成である故、簡単な回路で16:9の横長表示装置に映像信号と共に左右に黒帯を表示することが可能となる。また、画素数の制約が無い為、任意の画素数の表示装置に対し任意の幅の黒帯(マスク)を表示することが可能であり汎用性が高いという効果を奏する。

【0177】

【発明の効果】以上説明したように、請求項1記載の発明によれば、従って、横長の映像の上下に表示させる黒等の同一色部分の表示走査に要する時間が2走査期間のみとなるので、同部分の表示走査を時間的に充分余裕を持って行なうことができ、画素にチャージする期間を映像表示の際と同様にできるため、色むら等の発生を防止して均一な同一色部分の表示を行なわせることができる。

【0178】また、請求項2記載の発明によれば、請求項1記載の発明の効果に加えて、同一極性の電圧の連続印加で性能が劣化してしまう液晶表示パネルにも適用可能となる。

【0179】また、請求項3記載の発明によれば、上記マスク表示部分の走査に要する時間を半減させ、同部分の表示走査を時間的な余裕を持って行なうことができ、画素にチャージする期間を映像表示装置と同時にできるため、色むら等の発生を防止して均一な同一色によるマスク表示を行なわせることができる。

【0180】また、請求項4記載の発明によれば、上記マスク表示部分の走査に要する時間を $1/2n$ と大幅に減少させたので、例えばビデオテープレコーダにおける早送り再生等のように垂直帰線期間が極端に短くなってしまうような場合でも、同部分の表示走査を時間的に

充分余裕を持って行なうことができ、画素にチャージする期間を映像表示装置と同時にできるため、色むら等の発生を防止して均一な同一色によるマスク表示を行なわせることができる。

【0181】また、請求項5記載の発明によれば、表示画面の左右にマスク部を表示する表示装置において、マスク部に対応する表示パネルの信号電極に映像信号のペデスタルレベルに応じた電圧を印加する構成であるので、簡単な回路構成で色むら等の発生を防止して均一な同一色によるマスク表示を行なわせることができる。

【0182】また、請求項6記載の発明によれば、信号側ドライバ内部の双方向シフトレジスタを利用して映像信号のペデスタルレベルをサンプリングして、マスク（黒帯）表示部に対応する信号電極にこのペデスタルレベルに応じた電圧を印加する構成である故、簡単な回路で横長表示装置の左右のマスクを表示することが可能となる。また、画素数の制約が無い為、任意の画素数の表示装置に対し任意の幅のマスクを表示することが可能であり汎用性が高いという効果を奏する。

【0183】また、請求項7記載の発明によれば、より色むら等の発生を防止して均一な同一色による黒帯表示を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る回路構成を示すブロック図。

【図2】同実施の形態に係る各信号波形を例示する図。

【図3】同実施の形態に係る各信号波形を例示する図。

【図4】本発明の第2の実施の形態に係る回路構成を示すブロック図。

【図5】図4のコントローラ内の詳細な回路構成を示すブロック図。

【図6】同実施の形態に係る動作を説明するためのタイミングチャート。

【図7】同実施の形態に係る動作を説明するためのタイミングチャート。

【図8】同実施の形態に係る走査線の同時選択動作を説明する図。

【図9】本発明の第3の実施の形態に係る動作を説明するためのタイミングチャート。

【図10】同実施の形態に係る動作を説明するためのタイミングチャート。

【図11】同実施の形態に係る走査線の同時選択動作を説明する図。

【図12】本発明の第4の実施の形態に係る回路構成を示すブロック図。

【図13】図12の信号側ドライバ内の詳細な回路構成を示すブロック図。

【図14】図13の双方向シフトレジスタ内の詳細な回路構成を示すブロック図。

【図15】図14の双方向シフトレジスタの等価回路を

示す図。

【図16】図15の双方向シフトレジスタの動作を説明するためのタイミングチャート。

【図17】図14の双方向シフトレジスタの等価回路を示す図。

【図18】図17の双方向シフトレジスタの動作を説明するためのタイミングチャート。

【図19】図17の双方向シフトレジスタの動作を説明するためのタイミングチャート。

【図20】NTSC方式のワイド映像信号の波形を例示する図。

【図21】同方式によるワイド映像信号の信号量と表示画面のアスペクト比を比較する図。

【図22】アスペクト比の異なる映像信号を画面表示する場合を例示する図。

【図23】アスペクト比の異なる映像信号を画面表示する場合を例示する図。

【図24】NTSC方式の標準映像信号の波形を例示する図。

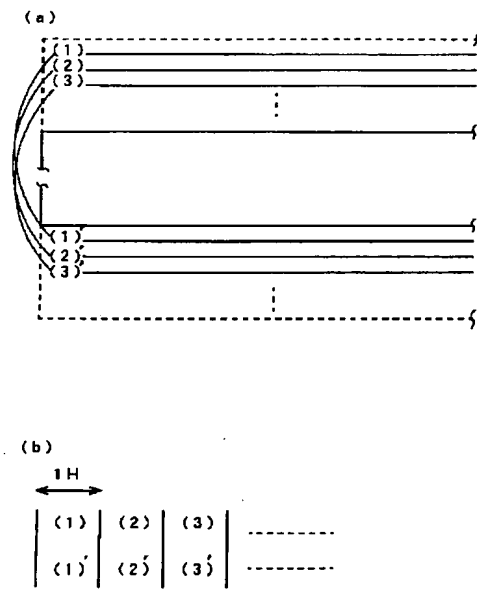
【符号の説明】

- 11 TFT液晶パネル
- 12 走査電極ドライバ
- 12a シフトレジスタ
- 12b アンド回路群
- 12c アンブ群
- 13 信号電極ドライバ
- 14 制御回路
- 15 反転回路
- 16 映像色信号切換回路
- 16a～16f ゲート回路
- 16g インバータ
- a シフトクロック
- b スタート信号
- c 出力イネーブル信号
- d 制御信号
- e 極性反転信号
- f 選択信号
- 20 映像入力端子
- 21 RGBデコーダ
- 22 ワイド検出回路
- 23 コントローラ
- 24 反転アンブ
- 25 液晶表示パネル
- 26 信号側ドライバ
- 27 走査側ドライバ
- 28 アンブ
- 31 PLL回路
- 32 同期制御回路
- 33 黒帯・間引き制御回路
- 34 間引きデコーダ

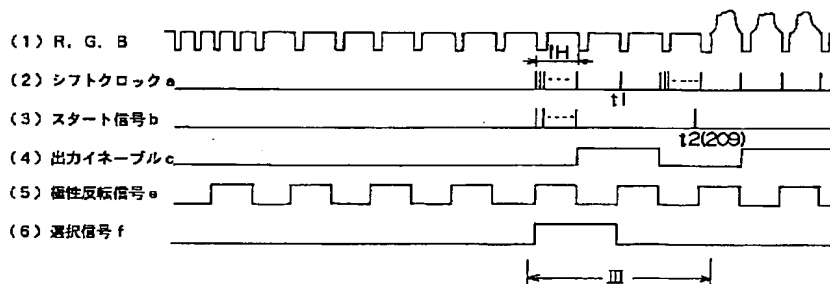


- \*10

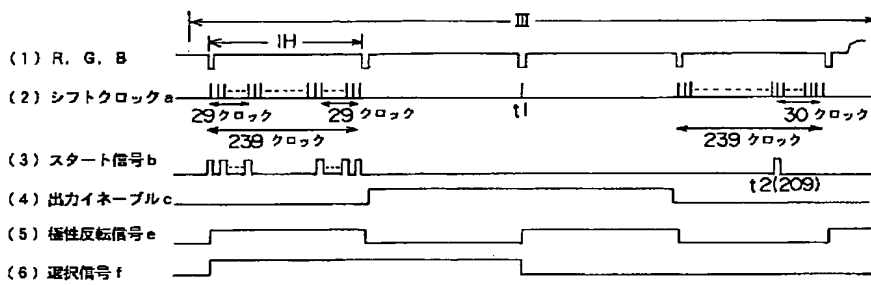
【圖8】



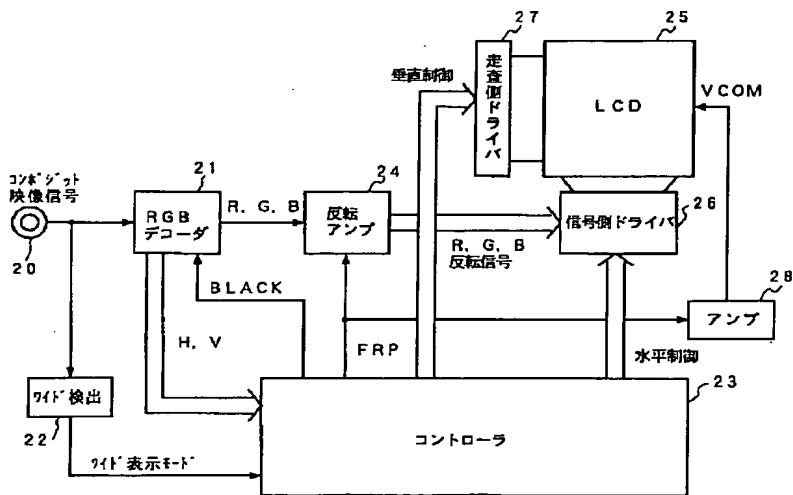
【図2】



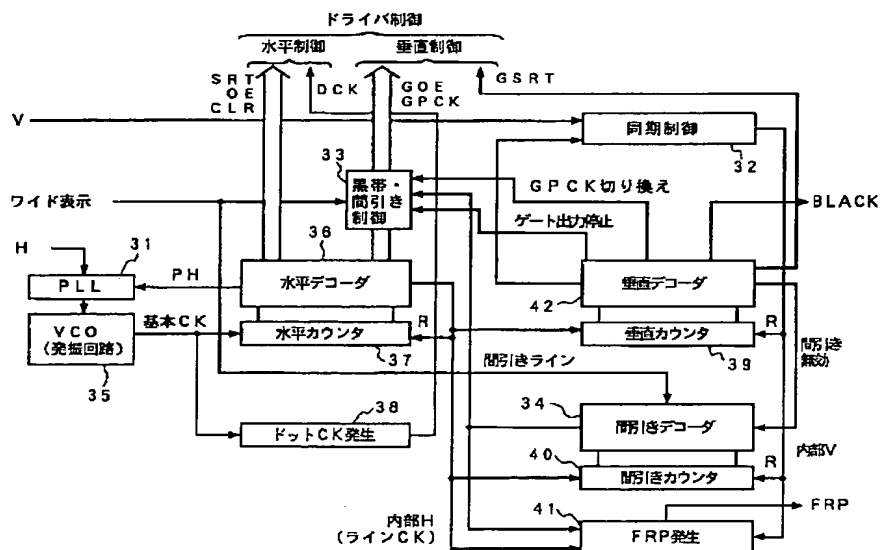
【図3】



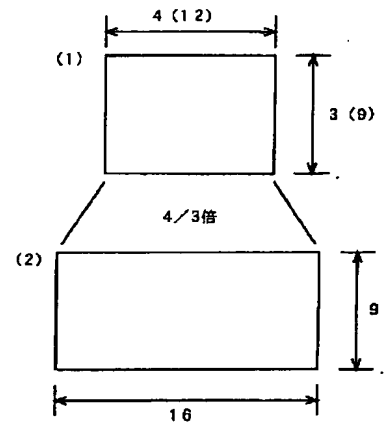
【図4】



【図5】

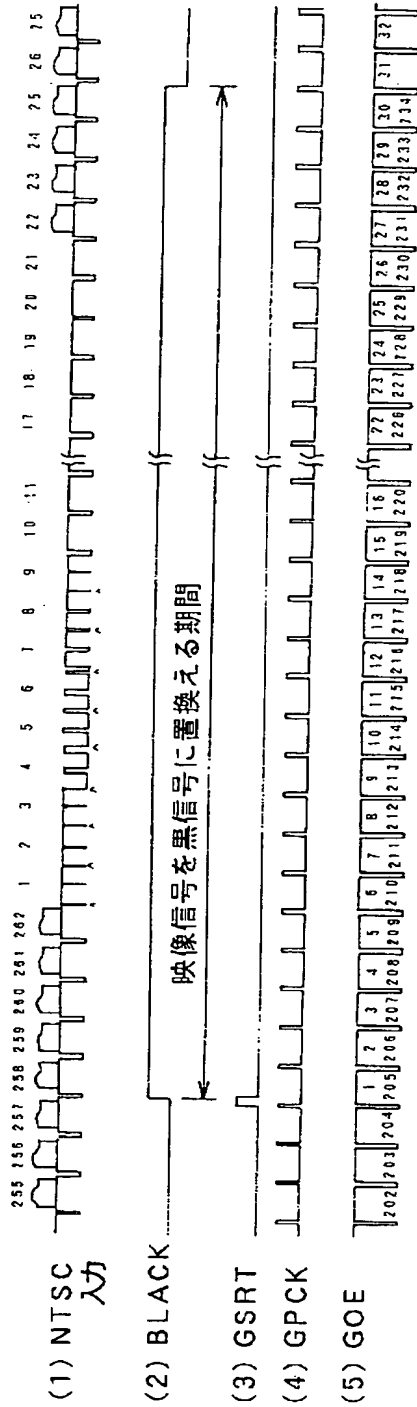


【図21】



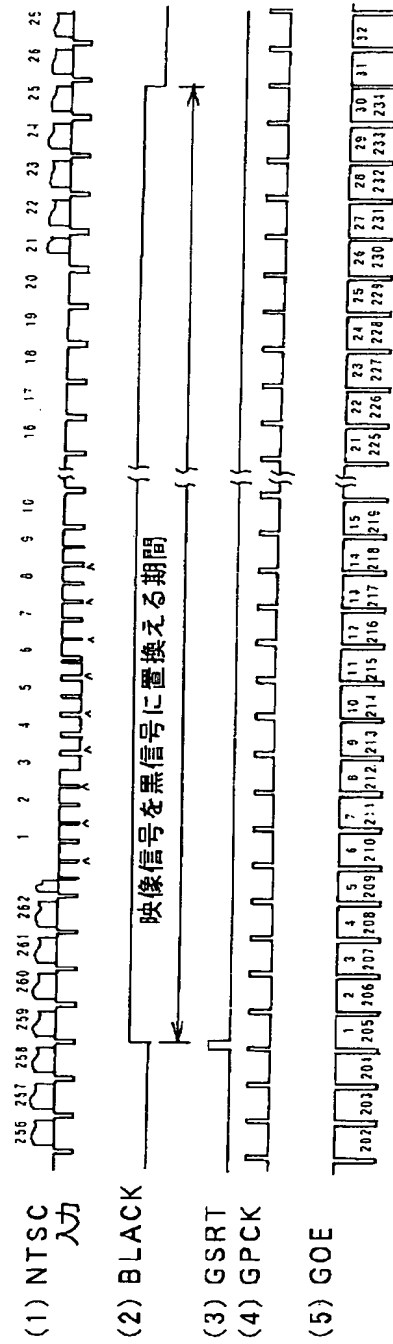
【図6】

## 第1フィールド

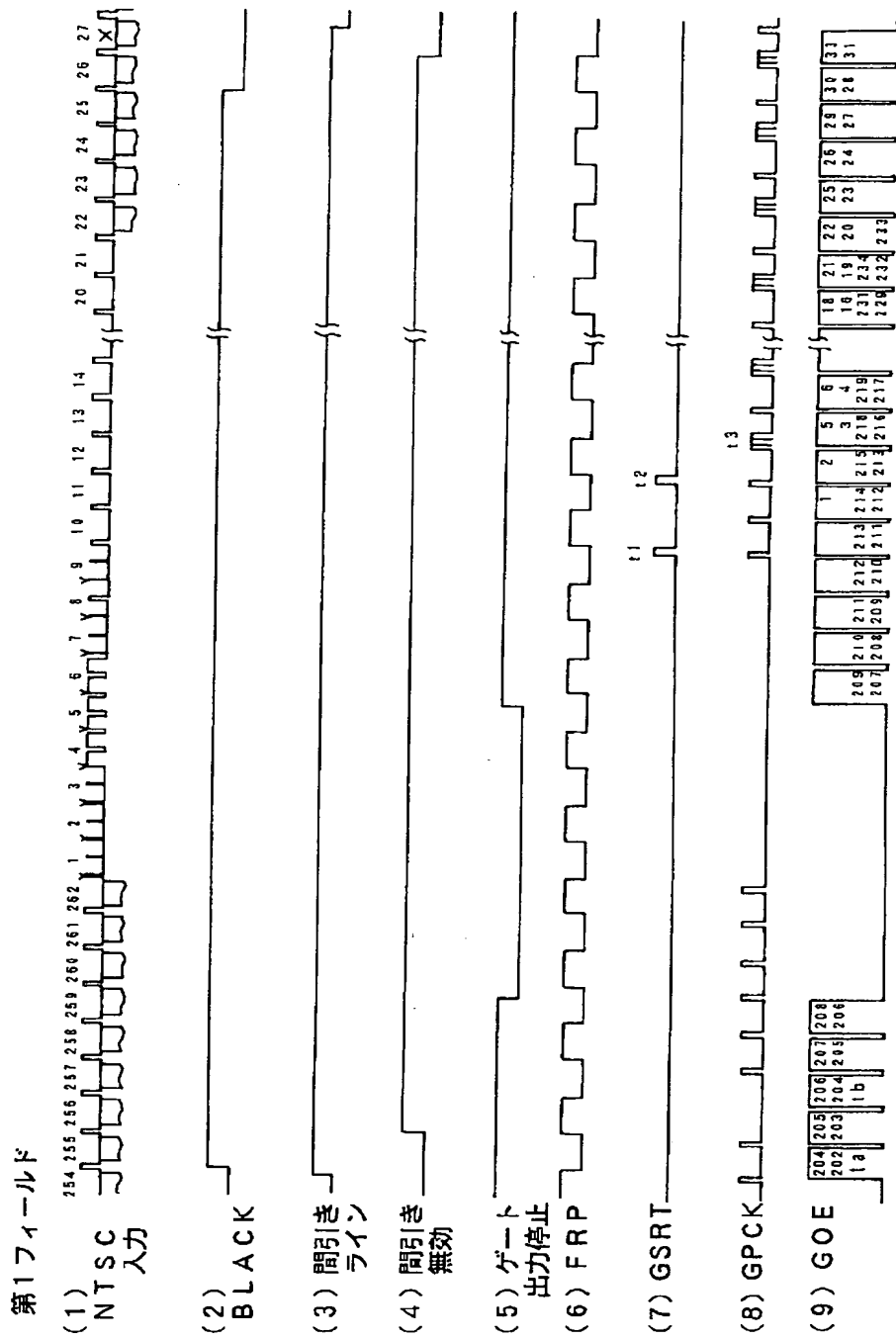


【図7】

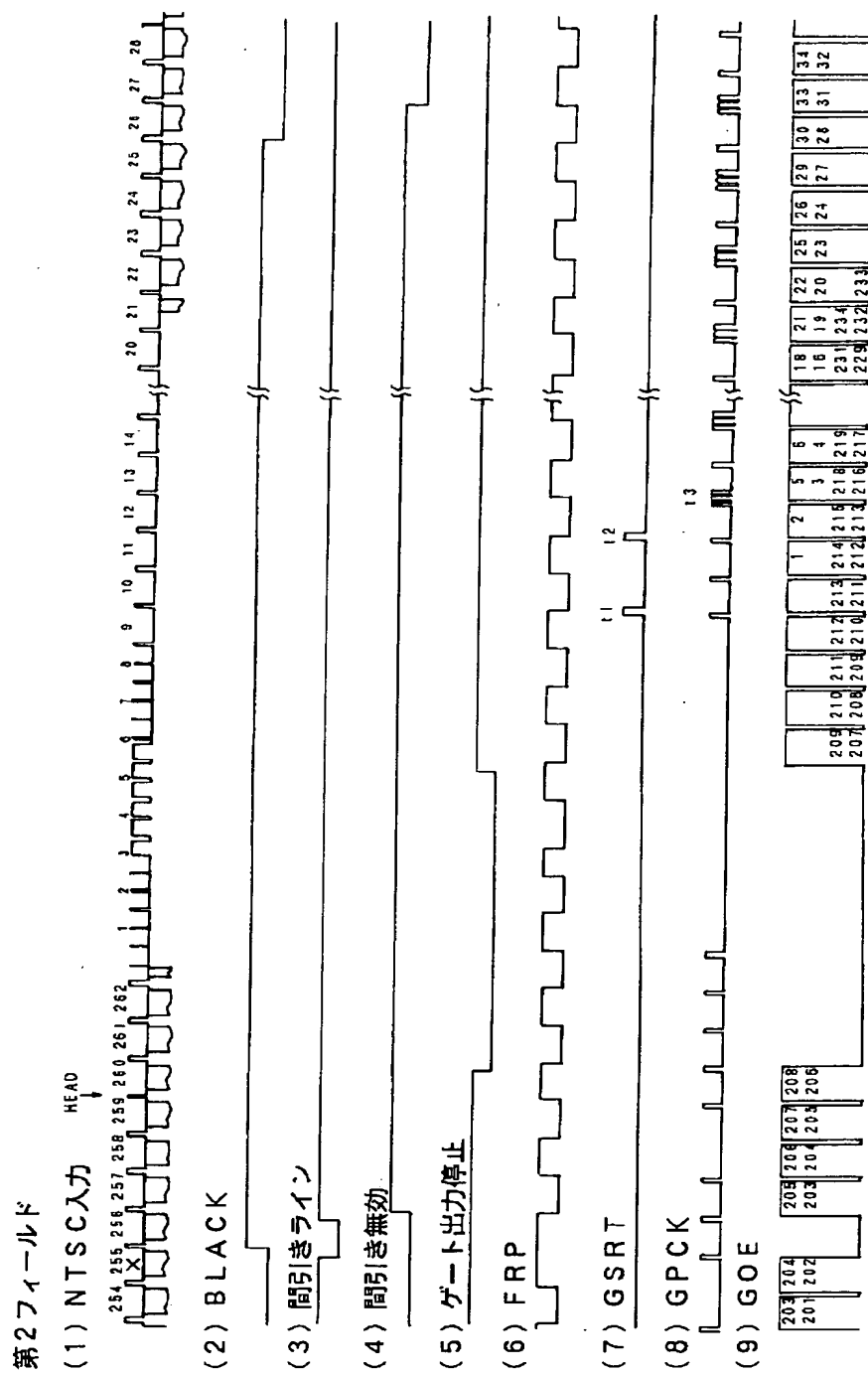
## 第2フィールド



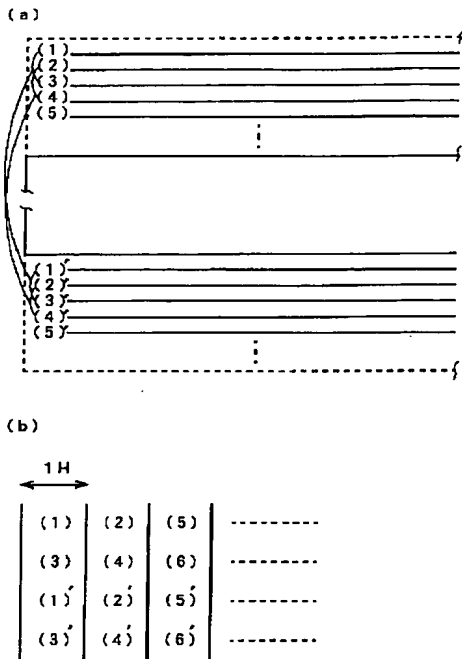
【図9】



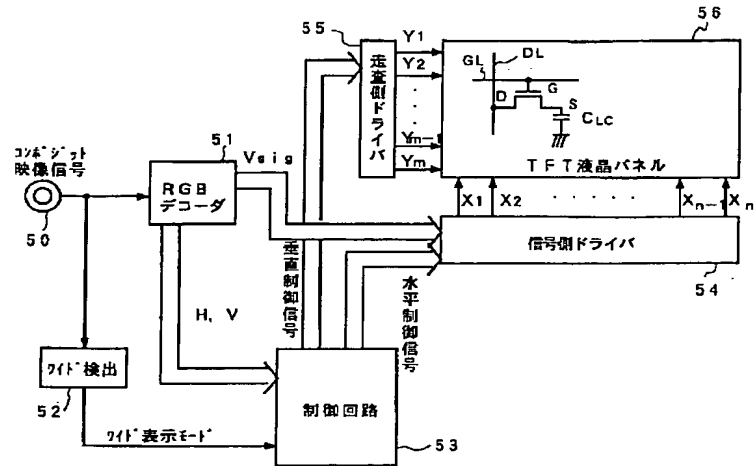
【図10】



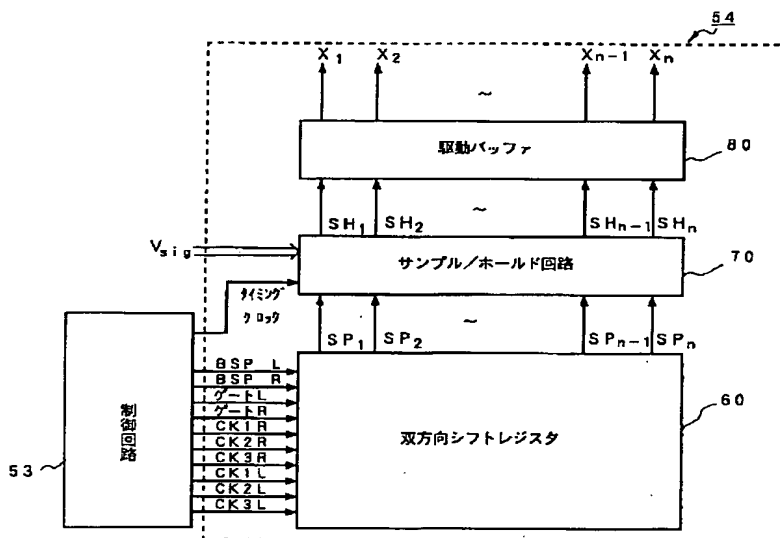
【図11】



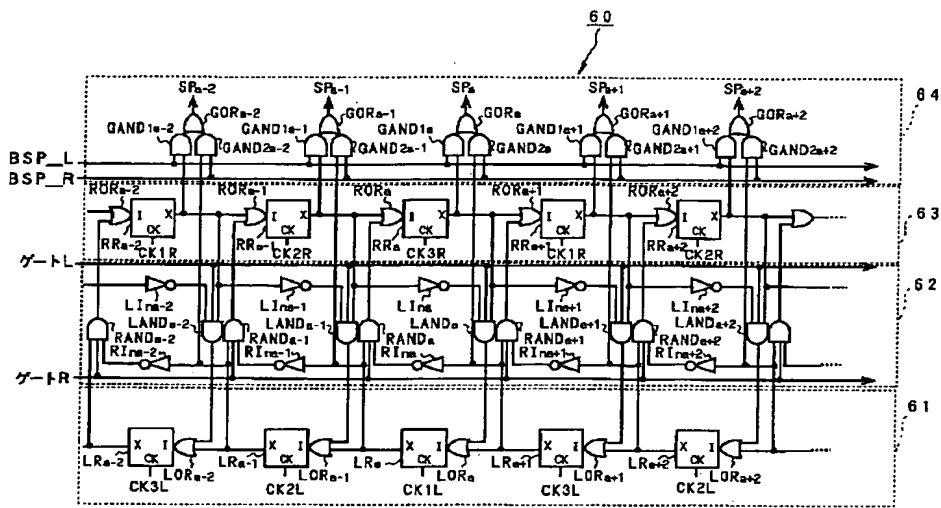
【図12】



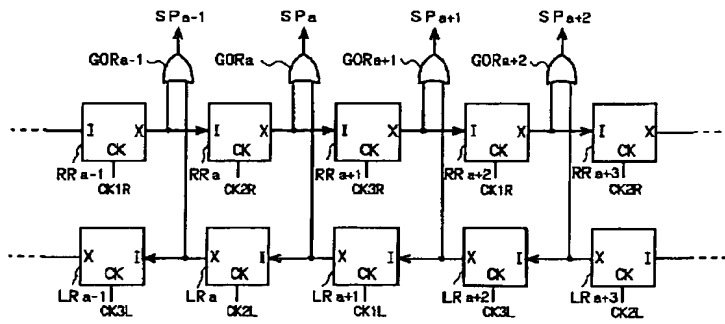
【図13】



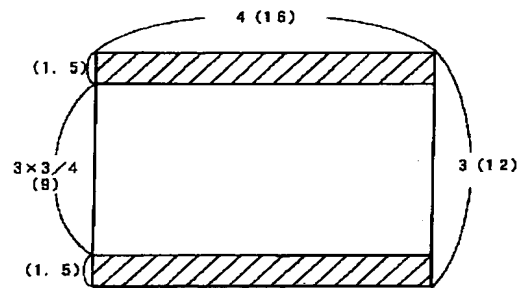
【図14】



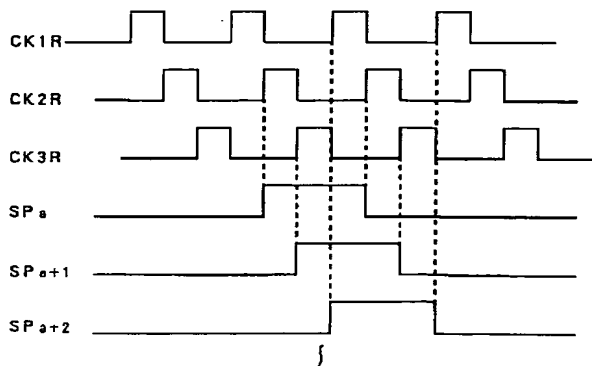
【図15】



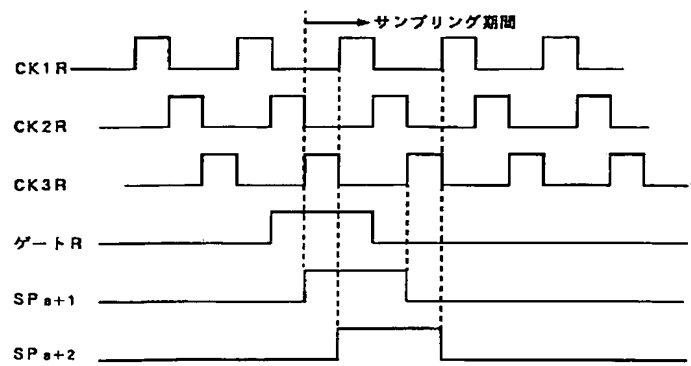
【図22】



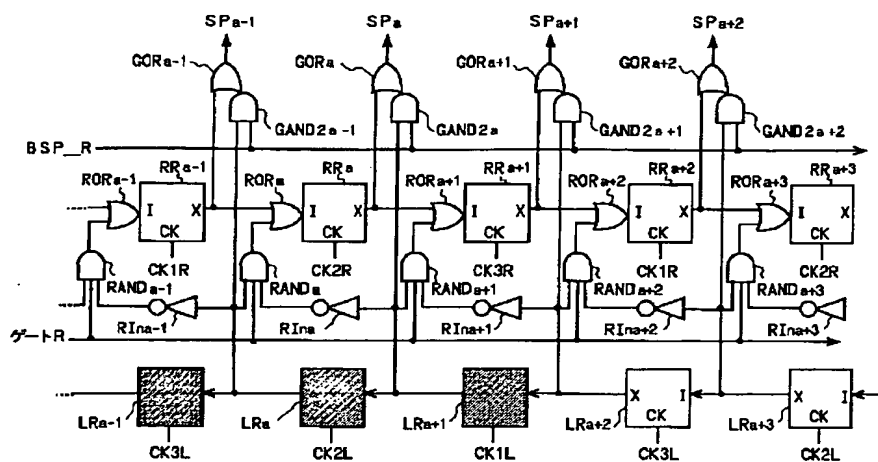
【図16】



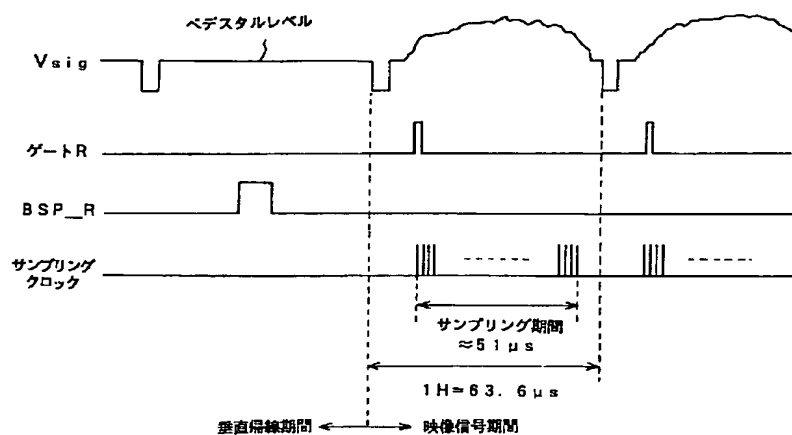
【図18】



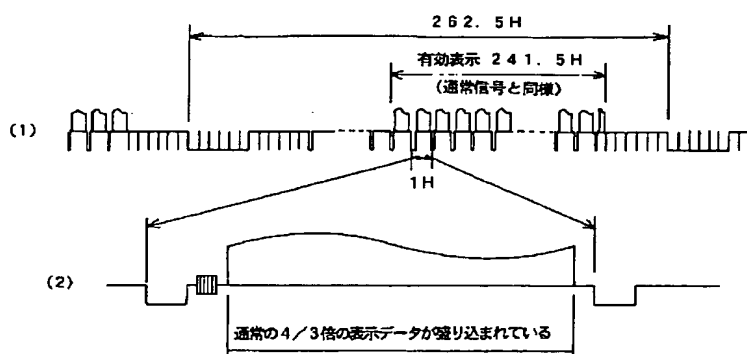
【図17】



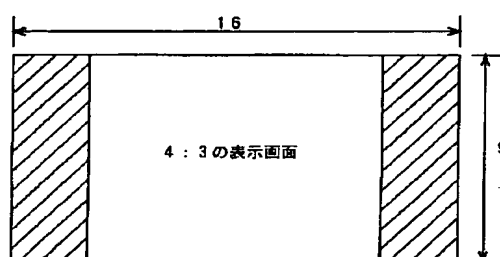
【図19】



【図20】

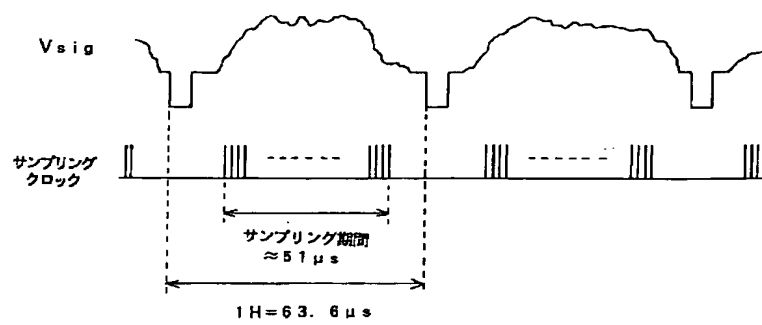


【図23】





【図24】



---

フロントページの続き

(72)発明者 榎山 俊二  
東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内